

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)	
)	
Hideto HIDAKA)	Group Art Unit: Unassigned
)	
Application No.: Unassigned)	Examiner: Unassigned
)	
Filed: July 10, 2003)	Confirmation No.: Unassigned
)	
For: MEMORY DEVICE CAPABLE OF)	
PERFORMING HIGH SPEED)	
READING WHILE REALIZING)	
REDUNDANCY REPLACEMENT)	

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign applications in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2002-266956

Filed: September 12, 2002

Japanese Patent Application No. 2003-009955

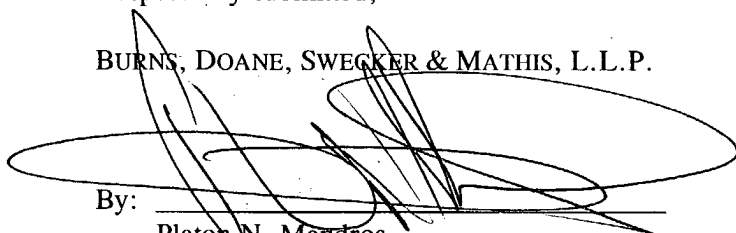
Filed: January 17, 2003

In support of this claim, enclosed are certified copies of said prior foreign applications. Said prior foreign applications were referred to in the oath or declaration. Acknowledgment of receipt of the certified copies is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: July 10, 2003

By: 
Platon N. Mandros
Registration No. 22,124

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 1月17日

出 願 番 号

Application Number:

特願2003-009955

[ST.10/C]:

[JP2003-009955]

出 願 人

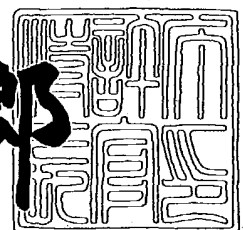
Applicant(s):

三菱電機株式会社

2003年 2月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3008363

【書類名】 特許願

【整理番号】 540555JP02

【提出日】 平成15年 1月17日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/15

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 日高 秀人

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【先の出願に基づく優先権主張】

【出願番号】 特願2002-266956

【出願日】 平成14年 9月12日

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0209961

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 記憶装置

【特許請求の範囲】

【請求項 1】 複数の正規メモリセルと、

前記複数の正規メモリセルのうちに欠陥メモリセルが存在するときに前記欠陥メモリセルに代えて用いる複数のスペアメモリセルと、

前記複数の正規メモリセルからデータを読み出すための複数のビット線と、

前記複数の正規メモリセルと前記複数のスペアメモリセルからデータを読み出す読出増幅回路と、

前記複数のビット線を前記読出増幅回路に接続するための複数のデータ線と、

前記複数のデータ線の負荷容量が実質的に等しくなるように前記複数のデータ線を前記複数の正規メモリセルおよび前記複数のスペアメモリセルに接続する経路の一部を形成する接続回路とを備え、

前記接続回路は、第 1 の入力アドレスに応じて選択される前記複数のビット線のうちの第 1 の選択ビット線を前記複数のデータ線のうちの第 1 のデータ線に接続するとともに、前記第 1 の入力アドレスに応じて選択される前記複数のスペアメモリセルの一部を前記複数のデータ線のうちの前記第 1 のデータ線とは異なる第 2 のデータ線に接続する経路の一部を形成し、第 2 の入力アドレスに応じて選択される前記複数のビット線のうちの第 2 の選択ビット線を前記第 2 のデータ線に接続するとともに、前記第 2 の入力アドレスに応じて選択される前記複数のスペアメモリセルの一部を前記第 1 のデータ線に接続する経路の一部を形成する、記憶装置。

【請求項 2】 前記複数のスペアメモリセルからデータを読み出すための第 1 、第 2 のスペアビット線をさらに備え、

前記接続回路は、

前記第 1 の入力アドレスに応じて前記第 1 の選択ビット線を前記第 1 のデータ線に接続する第 1 のコラム選択ゲートと、

前記第 1 の入力アドレスに応じて前記第 2 のスペアビット線を前記第 2 のデータ線に接続する第 2 のコラム選択ゲートと、

前記第 2 の入力アドレスに応じて前記第 2 の選択ビット線を前記第 2 のデータ線に接続する第 3 のコラム選択ゲートと、

前記第 2 の入力アドレスに応じて前記第 1 のスペアビット線を前記第 1 のデータ線に接続する第 4 のコラム選択ゲートとを含む、請求項 1 に記載の記憶装置。

【請求項 3】 前記複数のスペアメモリセルからデータを読み出すためのスペアビット線をさらに備え、

前記接続回路は、

前記第 1 の入力アドレスに応じて前記第 1 の選択ビット線を前記第 1 のデータ線に接続する第 1 のコラム選択ゲートと、

前記第 1 の入力アドレスに応じて前記スペアビット線を前記第 2 のデータ線に接続する第 2 のコラム選択ゲートと、

前記第 2 の入力アドレスに応じて前記第 2 の選択ビット線を前記第 2 のデータ線に接続する第 3 のコラム選択ゲートと、

前記第 2 の入力アドレスに応じて前記スペアビット線を前記第 1 のデータ線に接続する第 4 のコラム選択ゲートとを含む、請求項 1 に記載の記憶装置。

【請求項 4】 アドレス信号に応じて前記第 1、第 2 の選択ビット線にそれぞれ接続する前記複数の正規メモリセルのうちから第 1、第 2 のアクセスメモリセルを選択するとともに、前記複数のスペアメモリセルのうちから前記第 1、第 2 のアクセスメモリセルに対応する部分の選択を行なうデコード回路をさらに備える、請求項 1 に記載の記憶装置。

【請求項 5】 前記複数の正規メモリセルおよび前記スペアメモリセルの各々は、書込データに応じて電気抵抗値が変化し、

前記読出増幅回路は、前記電気抵抗値の変化を検出する、請求項 1 に記載の記憶装置。

【請求項 6】 前記複数の正規メモリセルおよび前記スペアメモリセルの各々は、

磁性体の記憶素子を含む、請求項 1 に記載の記憶装置。

【請求項 7】 電気抵抗値の変化により情報を記憶する複数のメモリセルと

前記複数のメモリセルのうちから同時に選択される複数の選択メモリセルから並列的にデータの読出を行なう読出増幅回路と、

前記読出増幅回路から電源電位の供給源までの間に前記複数の選択メモリセルにそれぞれ対応する複数の読出電流経路を形成する電流経路形成部とを備え、

前記複数の読出電流経路は、互いに物理長が実質的に等しい、記憶装置。

【請求項 8】 前記複数のメモリセルの一部は、前記複数のメモリセルのうちの正規メモリセルに欠陥メモリセルが存在するときに前記欠陥メモリセルに代えて用いるスペアメモリセルであり、

前記複数の選択メモリセルの一部は、前記スペアメモリセルである、請求項 7 に記載の記憶装置。

【請求項 9】 前記複数のメモリセルの各々は、
磁性体の記憶素子を含む、請求項 7 に記載の記憶装置。

【請求項 10】 前記複数のメモリセルのデータを判別するための参照値を保持するダミーセルと、

前記ダミーセルにそれぞれ対応するダミービット線とをさらに備え、

前記電流経路形成部は、前記読出増幅回路から前記電源電位の前記供給源までの間に前記ダミーセルに対応する参照電流経路を形成し、

前記複数の読出電流経路と前記参照電流経路とは、互いに物理長が実質的に等しい、請求項 7 に記載の記憶装置。

【請求項 11】 メモリセルアレイを備え、

前記メモリセルアレイは、

電気抵抗値の変化により情報を記憶する複数の正規メモリセルと、

前記複数の正規メモリセルとともに行列状に配置され、前記メモリセルアレイにおいて中央部に配置され、前記複数の正規メモリセルのうちに欠陥メモリセルが存在するときに前記欠陥メモリセルに代えて用いるスペアメモリセルと、

前記メモリセルアレイの列方向に沿って配置され、前記複数の正規メモリセルにデータ読出電流を流すための複数のビット線と、

前記列方向に沿って配置され、前記スペアメモリセルにデータ読出電流を流すためのスペアビット線と、

前記複数のビット線の一部に流れるデータ読出電流および前記スペアビット線に流れるデータ読出電流とを伝達する複数のデータ線と、

データ読出コマンドに応じて選択される前記複数のビット線のうちの選択ビット線を前記複数のデータ線のうちの1つに接続するとともに、前記スペアビット線を前記複数のデータ線のうちの他の1つに接続する接続ゲート回路とを含み、

前記複数のデータ線によって伝達されるデータ読出電流を受けて、前記複数の正規メモリセルと前記スペアメモリセルのデータを読出す読出増幅回路をさらに備える、記憶装置。

【請求項12】 メモリセルアレイを備え、

前記メモリセルアレイは、

電気抵抗値の変化により情報を記憶する複数のメモリセルと、

前記複数のメモリセルからデータを読出すための読出電流が流れる経路上に設けられる複数のソース線と、

前記複数のメモリセルとともに行列状に配置され、前記メモリセルアレイの中央部に配置され、前記複数のメモリセルのデータを判別するための参照値を保持するダミーセルと、

前記ダミーセルから前記参照値を読出すための参照電流が流れる経路上に設けられるダミーソース線と、

前記読出電流と前記参照電流とを伝達する複数のデータ線とを含み、

前記複数のデータ線によって伝達される読出電流および参照電流を受けて、前記複数のメモリセルのデータを読出す読出増幅回路をさらに備える、記憶装置。

【請求項13】 各々が電気抵抗値の変化により情報を記憶し、1つのメモリセルアレイ内に配置される複数のメモリセルと、

前記複数のメモリセルのうちから同時に選択される複数の選択メモリセルから並列的にデータの読出を行なう読出増幅回路と、

前記読出増幅回路から電源電位の供給源までの間に前記複数の選択メモリセルにそれぞれ対応する複数の読出電流経路を形成する電流経路形成部とを備え、

前記複数の読出電流経路は、少なくとも前記メモリセルアレイ内においては互いに分離されている、記憶装置。

【請求項 14】 前記複数のメモリセルの一部は、前記複数のメモリセルのうちの正規メモリセルに欠陥メモリセルが存在するときに前記欠陥メモリセルに代えて用いるスペアメモリセルであり、

前記複数の選択メモリセルは、

前記正規メモリセルと、

前記スペアメモリセルとを含む、請求項 13 に記載の記憶装置。

【請求項 15】 前記電流経路形成部は、

前記複数の選択メモリセルにデータ読出のための基準電位をそれぞれ与える複数のソース線を含み、

前記複数のソース線は、少なくとも前記メモリセルアレイ内においては分離されている、請求項 13 に記載の記憶装置。

【請求項 16】 前記複数の選択メモリセルのうちの第 1、第 2 の選択メモリセルは、前記メモリセルアレイ内において、ともに第 1 の行に配置され、

前記第 1、第 2 の選択メモリセルにそれぞれ対応して設けられる前記複数のソース線のうちの第 1、第 2 のソース線は、前記第 1 のメモリセルが配置される第 1 の領域では、前記第 1 のソース線が前記第 1 の行に沿って配置され前記第 2 のソース線が前記第 1 の行に隣接する第 2 の行に沿って配置され、前記第 2 のメモリセルが配置される第 2 の領域では、前記第 2 のソース線が前記第 1 の行に沿って配置され前記第 1 のソース線が前記第 2 の行に沿って配置されるように入替え配置される、請求項 15 に記載の記憶装置。

【請求項 17】 前記複数の選択メモリセルのうちの第 1、第 2 の選択メモリセルは、前記メモリセルアレイ内において、それぞれ第 1、第 2 の行に配置され、

前記第 1、第 2 の選択メモリセルにそれぞれ対応して設けられる前記複数のソース線のうちの第 1、第 2 のソース線は、それぞれ前記第 1、第 2 の行に沿って配置され、

前記第 1、第 2 の選択メモリセルをともに選択するための第 1 の選択線と、

前記第 1 の選択線に隣接して設けられる第 2 の選択線とをさらに備え、

前記第 1 の選択線は、前記第 1 のメモリセルが配置される第 1 の領域では前記

第1の行に沿って配置され、前記第2のメモリセルが配置される第2の領域では前記第2の行に沿って配置されるように途中で前記第2の選択線と入替え配置される、請求項15に記載の記憶装置。

【請求項18】 前記複数の選択メモリセルのうちの第1、第2の選択メモリセルは、前記メモリセルアレイ内において、ともに第1の行に配置され、

前記第1、第2の選択メモリセルにそれぞれ対応して設けられる前記複数のソース線のうちの第1、第2のソース線は、前記第1の行に対してともに斜めに配置され、互いに平行に配置される、請求項15に記載の記憶装置。

【請求項19】 前記複数の選択メモリセルのうちの第1、第2の選択メモリセルは、前記メモリセルアレイ内において、それぞれ第1、第2の行に配置され、

前記第1、第2の選択メモリセルにそれぞれ対応して設けられる前記複数のソース線のうちの第1、第2のソース線は、それぞれ前記第1、第2の行に沿って配置され、

前記第1、第2の選択メモリセルをともに選択するための第1の選択線をさらに備え、

前記第1の選択線は、前記第1、第2の行に対して斜めに配置される、請求項15に記載の記憶装置。

【請求項20】 各々が導電性磁性体を含む複数の正規メモリセルと、前記複数の正規メモリセルの列に対応して配置される複数の正規ビット線と、前記複数の正規ビット線にそれぞれ1つずつ接続される複数の第1の参照メモリセルと、

前記複数の正規メモリセルのうちに欠陥メモリセルが存在するときに前記欠陥メモリセルに代えて用いる複数のスペアメモリセルと、

前記複数のスペアメモリセルの列に対応して配置される複数のスペアビット線と、

前記複数のスペアビット線にそれぞれ1つずつ接続される複数の第2の参照メモリセルと、

アドレス信号によって指定される読出対象メモリセルが接続される第1のビッ

ト線、前記第1のビット線を除いた前記複数の正規ビット線から選択される第2のビット線、前記読出対象メモリセルに対応するスペアメモリセルが接続される第3のビット線、前記第3のビット線を除いた前記複数のスペアビット線から選択される第4のビット線の4つのビット線に前記アドレス信号に応じて接続され、前記第2、第4のビット線にそれぞれ接続される前記第1、第2の参照メモリセルから合成してデータ読出の参照値を発生する読出回路とを備える、記憶装置。

【請求項21】 前記複数の正規メモリセルは、蓄積データに応じて相異なる第1、第2の抵抗値を示し、

前記複数の第1の参照メモリセルの各々は、前記第1の抵抗値を示し、

前記複数の第2の参照メモリセルの各々は、前記第2の抵抗値を示す、請求項20に記載の記憶装置。

【請求項22】 前記複数の正規メモリセルは、初期状態において前記第1の抵抗値を示す、請求項21に記載の記憶装置。

【請求項23】 前記複数の正規メモリセルは、初期状態において前記第1の抵抗値を示し、

前記複数の第2の参照メモリセルの各々は、

前記第1の抵抗値を示す導電性磁性体と、

前記第2の抵抗値から前記第1の抵抗値を引いた抵抗値を示す固定抵抗とを含む、請求項21に記載の記憶装置。

【請求項24】 各々が導電性磁性体を含む複数の正規メモリセルと、

前記複数の正規メモリセルの列に対応して配置される複数の正規ビット線と、

前記複数の正規メモリセルの列に平行する列に配置される複数の第1の参照メモリセルと、

前記複数の第1の参照メモリセルの列に対応して配置される第1の参照ビット線と、

前記複数の正規メモリセルのうちに欠陥メモリセルが存在するときに前記欠陥メモリセルに代えて用いる複数のスペアメモリセルと、

前記複数のスペアメモリセルの列に対応して配置される複数のスペアビット線

と、

アドレス信号によって指定される読出対象メモリセルが接続される前記正規ビット線のうちの第1のビット線、前記読出対象メモリセルに対応するスペアメモリセルが接続される第2のビット線、および前記第1の参照ビット線の少なくとも3つのビット線に前記アドレス信号に応じて接続され、前記読出対象メモリセルと前記対応するスペアメモリセルのいずれか一方からデータ読出を行なう読出回路とを備える、記憶装置。

【請求項25】 前記複数の正規メモリセルの列に平行する列に配置される複数の第2の参照メモリセルと、

前記複数の第2の参照メモリセルの列に対応して配置される第2の参照ビット線とをさらに備え、

前記複数の正規メモリセルは、蓄積データに応じて相異なる第1、第2の抵抗値を示し、

前記複数の第1の参照メモリセルの各々は、前記第1の抵抗値を示し、

前記複数の第2の参照メモリセルの各々は、前記第2の抵抗値を示す、請求項24に記載の記憶装置。

【請求項26】 前記複数の正規メモリセルは、初期状態において前記第1の抵抗値を示す、請求項25に記載の記憶装置。

【請求項27】 前記複数の正規メモリセルは、初期状態において前記第1の抵抗値を示し、

前記複数の第2の参照メモリセルの各々は、

前記第1の抵抗値を示す導電性磁性体と、

前記第2の抵抗値から前記第1の抵抗値を引いた抵抗値を示す固定抵抗とを含む、請求項25に記載の記憶装置。

【請求項28】 導電性磁性体をメモリセルに含む記憶装置であって、

複数のワード線と、

前記複数のワード線に交差して設けられ、各々が第1、第2のビット線を含む複数のビット線対と、

前記複数のワード線と前記複数のビット線対との複数の交差部の各々において

、前記第 1、第 2 のビット線のうちのいずれか一方のみに対応して設けられる複数のメモリセルと、

前記複数のメモリセルのデータを読み出すときの参照値を保持するための第 1 の参照メモリセルと、

前記複数のビット線対に読出されるデータを伝達するための第 1、第 2 のデータ線を含む第 1 のデータ線対と、

前記ワード線のいずれかの活性化によって前記第 1、第 2 のビット線の一方から前記第 1、第 2 のデータ線の一方を介して前記複数のメモリセルのデータを読み出すとき、前記第 1、第 2 のデータ線の他方から前記第 1 の参照メモリセルの保持値を読み出す読出回路とを備える、記憶装置。

【請求項 2 9】 前記ワード線の活性化時に、前記第 1 のデータ線対によって行なわれる前記複数のメモリセルのうちの第 1 のメモリセルのデータ読出に並行して、前記複数のメモリセルのうちから第 2 のメモリセルのデータを読み出すための、第 3、第 4 のデータ線を含む第 2 のデータ線対と、

前記複数のメモリセルのデータを読み出すときの参照値を保持するための第 2 の参照メモリセルとをさらに備え、

前記読出回路は、前記第 3、第 4 のデータ線の一方を介して前記第 2 のメモリセルのデータを読み出すとき、前記第 3、第 4 のデータ線の他方から前記第 2 の参照メモリセルの保持値を読み出し、前記第 1、第 2 の参照メモリセルの保持値を合成して前記参照値を発生させる、請求項 2 8 に記載の記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、記憶装置に関し、より特定的には磁性体ランダムアクセスメモリ(MRAM)の高速動作可能な冗長構成に関する。

【0 0 0 2】

【従来の技術】

不揮発的なデータの記憶が高速で可能な記憶装置として、MRAM (Magnetic Random Access Memory) デバイスが注目されている。MRAM デバイスは、半

導体集積回路に形成された複数の薄膜磁性体を用いて不揮発的なデータ記憶を行ない、薄膜磁性体の各々に対してランダムアクセスが可能な記憶装置である。

【0003】

特に、近年では磁気トンネル接合 (MTJ : Magnetic Tunnel Junction) を利用した薄膜磁性体をメモリセルとして用いることによって、MRAMデバイスの性能が飛躍的に進歩することが発表されている。

【0004】

磁気トンネル接合を有するメモリセルを備えたMRAMデバイスについては、下記の非特許文献1～非特許文献3等が開示されている。

【0005】

図36は、従来の磁気トンネル接合部を有するメモリセル（以下、単に「MTJメモリセル」とも称する）の構成を示す概略図である。

【0006】

図36を参照して、MTJメモリセルは、記憶データレベルに応じて電気抵抗が変化するトンネル磁気抵抗素子TMRと、データ読出時にトンネル磁気抵抗素子TMRを通過するセンス電流 I_s の経路を形成するためのアクセス素子ATRとを備える。アクセス素子ATRは、代表的には電界効果型トランジスタで形成されるので、以下においては、アクセス素子ATRをアクセストランジスタATRとも称する。アクセストランジスタATRは、トンネル磁気抵抗素子TMRと固定電位（接地電位 V_{ss} ）との間に結合される。

【0007】

MTJメモリセルに対して、データ書込を指示するためのライトワード線WWLと、データ読出を実行するためのリードワード線RWLと、データ読出およびデータ書込において、記憶データのデータレベルに対応した電気信号を伝達するためのデータ線であるビット線BLとが配置される。なお、ライトワード線WWLは、ディジット線DLとも称される。

【0008】

図37は、MTJメモリセルからのデータ読出動作を説明する概念図である。

図37を参照して、トンネル磁気抵抗素子TMRは、固定された一定の磁化方

向を有する強磁性体層（以下、単に「固定磁化層」とも称する）FLと、外部からの印加磁界に応じた方向に磁化される強磁性体層（以下、単に「自由磁化層」とも称する）VLとを有する。固定磁化層FLおよび自由磁化層VLの間には、絶縁体膜で形成されるトンネルバリア（トンネル膜）TBが設けられる。自由磁化層VLは、書込まれる記憶データに応じて、固定磁化層FLと同一方向または固定磁化層FLと反対方向に磁化される。固定磁化層FL、トンネルバリアTBおよび自由磁化層VLによって、磁気トンネル接合が形成される。

【0009】

データ読出時においては、リードワード線RWLの活性化に応じてアクセストランジスタATRが導通状態となる。これにより、ビット線BLからトンネル磁気抵抗素子TMR、アクセストランジスタATRを経て接地ノードに至る電流経路に、センス電流Isを流すことができる。

【0010】

トンネル磁気抵抗素子TMRの電気抵抗は、固定磁化層FLおよび自由磁化層VLのそれぞれの磁化方向の相対関係に応じて変化する。具体的には、固定磁化層FLの磁化方向と、自由磁化層VLの磁化方向とが同じ向きである場合には、両者の磁化方向が反対向きである場合に比べてトンネル磁気抵抗素子TMRの電気抵抗値は小さくなる。

【0011】

したがって、自由磁化層VLを記憶データに応じた方向に磁化すれば、センス電流Isによってトンネル磁気抵抗素子TMRで生じる電圧変化は、記憶データレベルに応じて異なる。したがって、メモリセルデータの読出時に、メモリセルに定電圧を印加して、センス電流Isが保持されているデータに応じて変化するのが電流検出型のセンスアンプで検知すれば、データの読出ができる。また、たとえば、ビット線BLを一定電位にプリチャージした後に、トンネル磁気抵抗素子TMRにセンス電流Isを流せば、ビット線BLの電圧を検知することによって、MTJメモリセルの記憶データを読出すことができる。

【0012】

図38は、MTJメモリセルに対するデータ書込動作を説明する概念図である

【0013】

図38を参照して、データ書込時には、リードワード線RWLが非活性化され、応じてアクセストランジスタATRは非導通状態となる。この状態で、自由磁化層VLを書込データに応じた方向に磁化するためのデータ書込電流が、ライトワード線WWLおよびビット線BLにそれぞれ流される。自由磁化層VLの磁化方向は、ビット線BLを流れるデータ書込電流によって発生する磁界H(BL)に応じて決定される。

【0014】

図39は、MTJメモリセルに対するデータ書込時におけるデータ書込電流とトンネル磁気抵抗素子の磁化方向との関係を説明する概念図である。

【0015】

図39を参照して、横軸H(EA)は、トンネル磁気抵抗素子TMR内の自由磁化層VLにおいて磁化容易軸(EA: Easy Axis)方向に印加される磁界を示す。一方、縦軸H(HA)は、自由磁化層VLにおいて磁化困難軸(HA: Hard Axis)方向に作用する磁界を示す。磁界H(EA)およびH(HA)は、ビット線BLおよびライトワード線WWLをそれぞれ流れる電流によって生じる2つの磁界の一方ずつにそれぞれ対応する。

【0016】

MTJメモリセルにおいては、固定磁化層FLの固定された磁化方向は、自由磁化層VLの磁化容易軸に沿っており、自由磁化層VLは、記憶データのレベル(“1”および“0”)に応じて、磁化容易軸方向に沿って、固定磁化層FLと同じ向きあるいは逆向きに磁化される。以下、本明細書においては、自由磁化層VLの2種類の磁化方向にそれぞれ対応するトンネル磁気抵抗素子TMRの電気抵抗をR1およびR0(ただし、 $R1 > R0$)でそれぞれ示すこととする。MTJメモリセルは、このような自由磁化層VLの2種類の磁化方向と対応させて、1ビットのデータ(“1”および“0”)を記憶することができる。

【0017】

自由磁化層VLの磁化方向は、印加される磁界H(EA)およびH(HA)の

和が、図中に示されるアステロイド特性線の外側の領域に達する場合においてのみ新たに書換えることができる。すなわち、印加されたデータ書込磁界がアステロイド特性線の内側の領域に相当する強度である場合には、自由磁化層VLの磁化方向は変化しない。

【0018】

アステロイド特性線に示されるように、自由磁化層VLに対して磁化困難軸方向の磁界を印加することによって、磁化方向を変化させるのに必要な磁化容易軸に沿った磁界のしきい値を下げるることができる。

【0019】

図39の例のようにデータ書込時の動作点を設計した場合には、データ書込対象であるMTJメモリセルにおいて、磁化容易軸方向のデータ書込磁界は、その強度がHWRとなるように設計される。すなわち、このデータ書込磁界HWRが得られるように、ビット線BLまたはライトワード線WWLを流されるデータ書込電流の値が設計される。一般的に、データ書込磁界HWRは、磁化方向の切換えに必要なスイッチング磁界HSWと、マージン分 ΔH との和で示される。すなわち、 $HWR = HSW + \Delta H$ で示される。

【0020】

MTJメモリセルの記憶データ、すなわちトンネル磁気抵抗素子TMRの磁化方向を書換えるためには、ライトワード線WWLとビット線BLとの両方に所定レベル以上のデータ書込電流を流す必要がある。これにより、トンネル磁気抵抗素子TMR中の自由磁化層VLは、磁化容易軸(EA)に沿ったデータ書込磁界の向きに応じて、固定磁化層FLの磁化の向きと同じ向きもしくは逆向きに磁化される。トンネル磁気抵抗素子TMRに一旦書込まれた磁化方向、すなわちMTJメモリセルの記憶データは、新たなデータ書込が実行されるまでの間不揮発的に保持される。

【0021】

このようにトンネル磁気抵抗素子TMRは、印加されるデータ書込磁界によって書換可能な磁化方向に応じてその電気抵抗が変化する。トンネル磁気抵抗素子TMR中の自由磁化層VLの2通りの磁化方向と、記憶データのレベル(“1”

および“0”)とそれぞれ対応付けることによって、不揮発的なデータ記憶を実行することができる。

【0022】

【非特許文献1】

ロイ・ショイアーライン (Roy Scheuerline)他6名、“各セルにFETスイッチおよび磁気トンネル接合を用いた、10ns読出・書込の不揮発メモリアレイ (A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell)”, (米国), 2000年米国電気電子学会国際固体回路会議・技術論文集TA7.2 (2000 IEEE ISSCC Digest of Technical Papers, TA7.2), p. 128-129。

【0023】

【非特許文献2】

ダーラム (M.Durlam)他5名、“磁気トンネル接合素子に基づいた不揮発ランダムアクセスメモリ (Nonvolatile RAM based on Magnetic Tunnel Junction Elements)”, (米国), 2000年米国電気電子学会国際固体回路会議・技術論文集TA7.3 (2000 IEEE ISSCC Digest of Technical Papers, TA7.3), p. 130-131。

【0024】

【非特許文献3】

ナジ (Peter K. Naji)他4名、“256kb、3.0ボルトおよび1トランジスタ1磁気トンネル接合型の不揮発性磁気抵抗性ランダムアクセスメモリ (A 256kb 3.0V 1T1MTJ Nonvolatile Magnetoresistive RAM)” (米国), 2001年米国電気電子学会国際固体回路会議・技術論文集TA7.6 (2001 IEEE ISSCC Digest of Technical Papers, TA7.6), p. 122-123。

【0025】

【発明が解決しようとする課題】

MRAMは、フラッシュメモリ等の不揮発性メモリと比べると高速アクセスが可能である。しかし、高速アクセスが可能であるがゆえに冗長構成を備える場合にその高速性を損なう問題がある。すなわち、アドレス比較回路において入力ア

ドレスが冗長セルで置換えるべきアドレスか否かを判定する冗長判定のために必要な時間がアクセスタイムを劣化させるのである。

【0026】

この解決策としては、たとえばデータ読出時において正規メモリセルとスペアメモリセルとを同時並列アクセスを行なうことが考えられる。しかし、MRAMでは、メモリセルの抵抗値が数十 $k\Omega$ と高いので、読出電流の値が小さい。たとえばMRAMでは、メモリセルデータの読出時に、メモリセルに0.5V程度の低い電圧を印加して、20 μA 程度の読出電流が保持されているデータに応じて数 μA 変化するのを電流検出型のセンスアンプで検知する。

【0027】

このとき次の2つの点が問題となる。まず第1に、選択されたメモリセルの読出電流が流れる電流パス上の抵抗値、特に、メモリセルのソース線の電気抵抗が大きいと、アクセス性能が劣化する。第2に、並列アクセス時には、同時に複数のメモリセルが読出動作を行なうので、ソース線の電気抵抗の問題が一層顕著になる。

【0028】

この発明は、このような問題点を解決するためになされたものである。そして、この発明の目的は、冗長構成を備えた上で、高速かつ安定的に動作可能な記憶装置を提供することである。

【0029】

【課題を解決するための手段】

この発明は、記憶装置であって、複数の正規メモリセルと、複数の正規メモリセルのうちに欠陥メモリセルが存在するときに欠陥メモリセルに代えて用いる複数のスペアメモリセルと、複数の正規メモリセルからデータを読出すための複数のビット線と、複数の正規メモリセルと複数のスペアメモリセルからデータを読出す読出増幅回路と、複数のビット線を読出増幅回路に接続するための複数のデータ線と、複数のデータ線の負荷容量が実質的に等しくなるように複数のデータ線を複数の正規メモリセルおよび複数のスペアメモリセルに接続する経路の一部を形成する接続回路とを備える。接続回路は、第1の入力アドレスに応じて選択

される複数のビット線のうちの第1の選択ビット線を複数のデータ線のうちの第1のデータ線に接続するとともに、第1の入力アドレスに応じて選択される複数のスペアメモリセルの一部を複数のデータ線のうちの第1のデータ線とは異なる第2のデータ線に接続する経路の一部を形成し、第2の入力アドレスに応じて選択される複数のビット線のうちの第2の選択ビット線を第2のデータ線に接続するとともに、第2の入力アドレスに応じて選択される複数のスペアメモリセルの一部を第1のデータ線に接続する経路の一部を形成する。

【0030】

この発明の他の局面に従う記憶装置は、電気抵抗値の変化により情報を記憶する複数のメモリセルと、複数のメモリセルのうちから同時に選択される複数の選択メモリセルから並列的にデータの読出を行なう読出増幅回路と、読出増幅回路から電源電位の供給源までの間に複数の選択メモリセルにそれぞれ対応する複数の読出電流経路を形成する電流経路形成部とを備え、複数の読出電流経路は、互いに物理長が実質的に等しい。

【0031】

この発明のさらに他の局面に従う記憶装置は、メモリセルアレイを備える。メモリセルアレイは、電気抵抗値の変化により情報を記憶する複数の正規メモリセルと、複数の正規メモリセルとともに行列状に配置され、メモリセルアレイにおいて中央部に配置され、複数の正規メモリセルのうちに欠陥メモリセルが存在するときに欠陥メモリセルに代えて用いるスペアメモリセルと、メモリセルアレイの列方向に沿って配置され、複数の正規メモリセルにデータ読出電流を流すための複数のビット線と、列方向に沿って配置され、スペアメモリセルにデータ読出電流を流すためのスペアビット線と、複数のビット線の一部に流れるデータ読出電流およびスペアビット線に流れるデータ読出電流とを伝達する複数のデータ線と、データ読出コマンドに応じて選択される複数のビット線のうちの選択ビット線を複数のデータ線のうちの1つに接続するとともに、スペアビット線を複数のデータ線のうちの他の1つに接続する接続ゲート回路とを含む。記憶装置は、複数のデータ線によって伝達されるデータ読出電流を受けて、複数の正規メモリセルとスペアメモリセルのデータを読出す読出増幅回路をさらに備える。

【0032】

この発明のさらに他の局面に従う記憶装置は、メモリセルアレイを備える。メモリセルアレイは、電気抵抗値の変化により情報を記憶する複数のメモリセルと、複数のメモリセルからデータを読み出すための読み出し電流が流れる経路上に設けられる複数のソース線と、複数のメモリセルとともに行列状に配置され、メモリセルアレイの中央部に配置され、複数のメモリセルのデータを判別するための参照値を保持するダミーセルと、ダミーセルから参照値を読み出すための参照電流が流れる経路上に設けられるダミーソース線と、読み出し電流と参照電流とを伝達する複数のデータ線とを含む。記憶装置は、複数のデータ線によって伝達される読み出し電流および参照電流を受けて、複数のメモリセルのデータを読み出す読み出し増幅回路をさらに備える。

【0033】

この発明のさらに他の局面に従う記憶装置は、各々が電気抵抗値の変化により情報を記憶し、1つのメモリセルアレイ内に配置される複数のメモリセルと、複数のメモリセルのうちから同時に選択される複数の選択メモリセルから並列的にデータの読み出しを行なう読み出し増幅回路と、読み出し増幅回路から電源電位の供給源までの間に複数の選択メモリセルにそれぞれ対応する複数の読み出し電流経路を形成する電流経路形成部とを備え、複数の読み出し電流経路は、少なくともメモリセルアレイ内においては互いに分離されている。

【0034】

この発明のさらに他の局面に従う記憶装置は、各々が導電性磁性体を含む複数の正規メモリセルと、複数の正規メモリセルの列に対応して配置される複数の正規ビット線と、複数の正規ビット線にそれぞれ1つずつ接続される複数の第1の参照メモリセルと、複数の正規メモリセルのうちに欠陥メモリセルが存在するときに欠陥メモリセルに代えて用いる複数のスペアメモリセルと、複数のスペアメモリセルの列に対応して配置される複数のスペアビット線と、複数のスペアビット線にそれぞれ1つずつ接続される複数の第2の参照メモリセルと、アドレス信号によって指定される読み出し対象メモリセルが接続される第1のビット線、第1のビット線を除いた複数の正規ビット線から選択される第2のビット線、読み出し対象

メモリセルに対応するスペアメモリセルが接続される第3のビット線、第3のビット線を除いた複数のスペアビット線から選択される第4のビット線の4つのビット線にアドレス信号に応じて接続され、第2、第4のビット線にそれぞれ接続される第1、第2の参照メモリセルから合成してデータ読出の参照値を発生する読出回路とを備える。

【 0 0 3 5 】

この発明のさらに他の局面に従う記憶装置は、各々が導電性磁性体を含む複数の正規メモリセルと、複数の正規メモリセルの列に対応して配置される複数の正規ビット線と、複数の正規メモリセルの列に平行する列に配置される複数の第1の参照メモリセルと、複数の第1の参照メモリセルの列に対応して配置される第1の参照ビット線と、複数の正規メモリセルのうちに欠陥メモリセルが存在するときに欠陥メモリセルに代えて用いる複数のスペアメモリセルと、複数のスペアメモリセルの列に対応して配置される複数のスペアビット線と、アドレス信号によって指定される読出対象メモリセルが接続される正規ビット線のうちの第1のビット線、読出対象メモリセルに対応するスペアメモリセルが接続される第2のビット線、および第1の参照ビット線の少なくとも3つのビット線にアドレス信号に応じて接続され、読出対象メモリセルと対応するスペアメモリセルのいずれか一方からデータ読出を行なう読出回路とを備える。

【 0 0 3 6 】

この発明のさらに他の局面に従う記憶装置は、導電性磁性体をメモリセルに含む記憶装置であって、複数のワード線と、複数のワード線に交差して設けられ、各々が第1、第2のビット線を含む複数のビット線対と、複数のワード線と複数のビット線対との複数の交差部の各々において、第1、第2のビット線のうちのいずれか一方のみに対応して設けられる複数のメモリセルと、複数のメモリセルのデータを読出すときの参照値を保持するための第1の参照メモリセルと、複数のビット線対に読出されるデータを伝達するための第1、第2のデータ線を含む第1のデータ線対と、ワード線のいずれかの活性化によって第1、第2のビット線の一方から第1、第2のデータ線の一方を介して複数のメモリセルのデータを読出すとき、第1、第2のデータ線の他方から第1の参照メモリセルの保持値を

読出す読出回路とを備える。

【0037】

【発明の実施の形態】

以下において、本発明の実施の形態について図面を参照して詳しく説明する。

なお、図中同一符号は同一または相当部分を示す。

【0038】

〔実施の形態1〕

図1は、本発明の実施の形態1のMRAMデバイス1の全体構成を示す概略ブロック図である。

【0039】

図1を参照して、MRAMデバイス1は、外部からの制御信号CMDおよびアドレス信号ADDに応じて、Mビット（M：自然数）のデータ信号DATの授受を行なう。MRAMデバイス1におけるデータ読出動作およびデータ書込動作は、たとえば、外部からのクロック信号CLKに同期したタイミングで実行される。あるいは、外部からクロック信号CLKを受けることなく内部で動作タイミングを定めてもよい。

【0040】

MRAMデバイス1は、アドレス信号ADDの入力を受けるアドレス端子2と、制御信号CADおよびクロック信号CLKの入力を受ける信号端子3aと、プログラム動作時に活性化されるプログラム信号PRGの入力を受ける信号端子3bと、Mビットのデータ信号DATの授受を行なうデータ端子4とを備える。

【0041】

MRAMデバイス1は、さらに、制御信号CMDおよびクロック信号CLKに応答してMRAMデバイス1の全体動作を制御するためのコントロール回路5と、行列状に配置された複数のMTJメモリセルを有するメモリセルアレイ10とを備える。

【0042】

メモリセルアレイ10の構成については後ほど詳細に説明するが、メモリセルアレイ10は、アドレス信号ADDによって各々を選択可能な、行列状に指定さ

れた複数の正規のMTJメモリセル（以下、「正規メモリセル」とも称する）と、欠陥が生じた正規メモリセル（以下、「欠陥メモリセル」とも称する）を救済するためのスペアメモリセルとを含む。

【0043】

MTJメモリセルの行（以下、単に「メモリセル行」とも称する）にそれぞれ対応して、書込時に行選択を行うための複数のディジット線DLおよび読出時に行選択を行うための複数のリードワード線RWLが配置される。さらに、メモリセルアレイ10には、列選択を実行するためのコラム選択線CSLが配置される。メモリセルアレイ10からのデータ読出は、リードデータバスRDBを介して実行される。

【0044】

MRAMデバイス1は、さらに、デコード回路7と、選択線ドライブ回路8と、読出／書込回路9と、冗長制御回路6と、プログラム回路11とを備える。

【0045】

デコード回路7は、アドレス信号ADDによって指定されるロウアドレスRA、コラムアドレスCAに基づいた行選択および列選択を実行する。選択線ドライブ回路8は、デコード回路7における行選択および列選択結果に応じて、リードワード線RWL、ディジット線DL、コラム選択線CSLおよびその他の選択線の活性化を制御する。ディジット線DLの各々は、メモリセルアレイ10を挟んで選択線ドライブ回路8が配置されるのと反対側の領域12において、接地電位Vssと結合される。

【0046】

プログラム回路11は、欠陥メモリセルを示すための不良アドレスをプログラム情報として不揮発的に記憶する。不良アドレスは、プログラム信号PRGが活性化されるプログラムデータ書込時において、たとえばアドレス端子2を介して外部から入力される。プログラム回路11からの不良アドレスの読出は、コントロール回路5からの指示に応じて実行される。

【0047】

冗長制御回路6は、通常動作時において、アドレス信号ADDによって指定さ

れるアドレスとプログラム回路 11 に保持される不良アドレスとを比較してこれらが一致するか否かを検知する。そして、冗長制御回路 6 はこの比較結果に基づいて、データ読出またはデータ書込対象として、欠陥メモリセルが選択されたかどうかを示す冗長判定を行なう。冗長制御回路 6 は、冗長判定結果が反映された冗長制御信号 $\phi 1$ 、 $\phi 2$ を生成する。

【0048】

デコード回路 7 および選択線ドライブ回路 8 における、アドレス信号 ADD に応じた行選択および列選択は、冗長判定結果を待つことなく実行される。すなわち、データ読出およびデータ書込時のアドレス選択動作を、正規メモリセルおよびスペアメモリセルに対して並列に開始することによって、冗長構成を有する MRAM デバイスにおける動作の高速化が図られる。

【0049】

読出／書込回路 9 は、冗長制御信号 $\phi 1$ 、 $\phi 2$ に応じて複数のリードデータバス RDB のうちの適切なリードデータバスを選択することによって、欠陥メモリセルの救済を行なう。

【0050】

図 2 は、図 1 におけるメモリセルアレイ 10 の構成と読出／書込回路 9 の読出に関する構成とを示した回路図である。

【0051】

図 2 を参照して、メモリセルアレイ 10 は、読出用ワード線 RWL と、ワード線 RWL に交差して設けられるスペアビット線 SBL1、 \angle SBL1、SBL2、 \angle SBL2 と、ワード線 RWL に交差し、かつ、スペアビット線 SBL1、SBL2 に平行に設けられるビット線 BL1～BL4、 \angle BL1～ \angle BL4 とを含む。ワード線 RWL は、ワード線 WLj、WLj+1、…と、ダミーワード線 DWL1、DWL0 とを含む。ワード線 WLj、WLj+1、…は、データ保持用のメモリセルを選択するワード線であり。一方、ダミーワード線 DWL1、DWL0 は、データ保持用のメモリセルに保持されたデータを読出す際にデータ判別を行なうための参照値を保持するダミーメモリセルを選択するワード線である。

【0052】

メモリセルアレイ10は、さらに、スペアメモリセル21~24と、正規メモリセル31~38と、スペアダミーメモリセル41~44と、ダミーメモリセル51~58とを含む。

【0053】

スペアメモリセル21, 23および正規メモリセル31~37は、共通のワード線WL_jに接続され、それぞれスペアビット線SBL1, SBL2、ビット線BL1, BL2, BL3, BL4に接続される。

【0054】

スペアメモリセル22, 24および正規メモリセル32, 34, 36, 38は、共通のワード線WL_{j+1}に接続され、それぞれスペアビット線/SBL1, /SBL2、ビット線/BL1, /BL2, /BL3, /BL4に接続される。

【0055】

スペアダミーメモリセル41, 43およびダミーメモリセル51, 53, 55, 57は、共通のダミーワード線DWL1に接続され、それぞれスペアビット線SBL1, SBL2、ビット線BL1, BL2, BL3, BL4に接続される。

【0056】

スペアダミーメモリセル42, 44およびダミーメモリセル52, 54, 56, 58は、共通のダミーワード線DWL1に接続され、それぞれスペアビット線/SBL1, /SBL2、ビット線/BL1, /BL2, /BL3, /BL4に接続される。

【0057】

メモリセルアレイ10は、さらに、リードデータバスRDB1, /RDB1, RDB2, /RDB2と、コラム選択ゲート61~62, 71~74とを含む。

【0058】

コラム選択ゲート61は、選択信号SCSL1に応じてスペアビット線SBL1, /SBL1をそれぞれリードデータバスRDB1, /RDB1に接続する。
コラム選択ゲート62は、選択信号SCSL0に応じてスペアビット線SBL2, /SBL2をそれぞれリードデータバスRDB2, /RDB2に接続する。

【0059】

コラム選択ゲート71は、選択信号CSL01に応じてビット線BL1、／BL1をそれぞれリードデータバスRDB1、／RDB1に接続する。コラム選択ゲート72は、選択信号CSL11に応じてビット線BL2、／BL2をそれぞれリードデータバスRDB2、／RDB2に接続する。コラム選択ゲート73は、選択信号CSL02に応じてビット線BL3、／BL3をそれぞれリードデータバスRDB1、／RDB1に接続する。コラム選択ゲート74は、選択信号CSL12に応じてビット線BL4、／BL4をそれぞれリードデータバスRDB2、／RDB2に接続する。

【0060】

読出／書込回路9は、接続ゲート81、82とセンスアンプ83とを含む。接続ゲート81は、冗長制御信号φ1に応じてリードデータバスRDB1をセンスアンプの入力ノードN1に接続しリードデータバス／RDB1を入力ノードN2に接続する。接続ゲート82は、冗長制御信号φ2に応じてリードデータバスRDB2をセンスアンプ83の入力ノードN1に接続しリードデータバス／RDB2を入力ノードN2に接続する。

【0061】

なお、図2には図面の煩雑さを避けるため図示していないが、ワード線WLj、WLj+1とそれぞれ近接して平行にデータ書込時に活性化されるディジット線DLj、DLj+1が設けられている。

【0062】

図3は、図2におけるメモリセル31の構成を示した回路図である。

図3を参照して、メモリセル31は、ビット線BL1に一方端が接続されるトンネル磁気抵抗素子TMRと、トンネル磁気抵抗素子TMRの他方端とソース線SLjとの間に設けられゲートがワード線WLjに接続されるアクセストランジスタATRとを含む。図2には図示していないが、トンネル磁気抵抗素子TMRに近接してワード線WLjと平行に、データ書込時にメモリセル31を選択するために活性化されるディジット線DLjが設けられている。

【0063】

なお、図2のスペアメモリセル21～24および正規メモリセル32～38は

、正規メモリセル31と同様な構成を有しているので、これらの説明は繰返さない。

【0064】

図4は、図3に示したメモリセルの構造の第1例を示す断面図である。

図4を参照して、半導体基板90の主表面上にn型不純物領域91、92が形成され、n型不純物領域91、92の間の領域の上部にワード線WLjが形成されている。n型不純物領域91、92がソース／ドレインとなり、ワード線WLjがゲート電極となって、アクセストランジスタATRが形成される。

【0065】

n型不純物領域91の上部には第1層目の金属配線層によってソース線SLjが形成され、このソース線SLjとn型不純物領域91とはコンタクトホール内に形成されたプラグ93で接続されている。

【0066】

n型不純物領域92の上部には第1層目の金属配線層によって導電層95が形成され、この導電層95とn型不純物領域92とはコンタクトホール内に形成されたプラグ94によって接続されている。

【0067】

第2層目の金属配線層によってディジット線DLjと導電層97とが形成される。導電層97はコンタクトホール内に形成されるプラグ96によって導電層95と接続される。ディジット線DLjおよび導電層97の上部には、導電層99が形成され、この導電層99はコンタクトホール内に形成されるプラグ98によって導電層97に接続されている。導電層99の上部であってディジット線DLjに一番近い部分にトンネル磁気抵抗素子TMRが形成され、導電層99との間でトンネル磁気抵抗素子TMRを挟むようにビット線BL1が第3の金属配線層によって形成されている。

【0068】

トンネル磁気抵抗素子TMRは、固定された一定の磁化方向を有する強磁性体層100と、絶縁体膜で形成されるトンネルバリア101と、外部からの印加磁界に応じた方向に磁化される強磁性体層（自由磁化層）102とを含む。

【0069】

図5は、図3に示したメモリセルの構造の第2例を示す断面図である。

図5に示す構造は、図4で示した構造においてn型不純物領域91が接地電位を伝達するソース線となっており、図4では第2の金属配線層で形成されていたディジット線DLjが第1の金属配線層で形成される点異なる。このため、図4では第3の金属配線層で形成されていたビット線BL1は図5においては第2の金属配線層によって形成されている。このような構成とすれば、ソース線の抵抗値が大きくなるが、金属配線層が2層となって製造工程が第1例の場合よりも短縮できるというメリットがある。

【0070】

図6は、図3に示したメモリセルの構造の第3例を示す断面図である。

図6に示した構造は、図4に示した構造において、第2の配線層で形成されていたディジット線が第3の配線層によって形成される点異なる。このため導電層99は第1の金属配線層の上部に設けられ、そのさらに上部にTMRを挟むように第2の配線層によってビット線BL1が設けられている。

【0071】

図7は、図2におけるセンスアンプ83および接続ゲート81、82の構成例を示した回路図である。

【0072】

図7を参照して、センスアンプ83は、センス電流供給部175と、リードアンプFAMPとを含む。

【0073】

センス電流供給部175は、電源電圧Vccを受けて、一定電流I(Read)をノードNs1およびNs2へそれぞれ供給するための定電流供給回路171a、171bと、ノードNs1およびノードN2との間に接続されるNチャネルMOSトランジスタ173と、ノードNs2とノードN1との間に接続されるNチャネルMOSトランジスタ174と、接地電位VssにノードNs1およびNs2をそれぞれプルダウンするための抵抗176、177とを有する。NチャネルMOSトランジスタ173および174の各々のゲートには基準電位Vrrが

与えられる。基準電位 V_{rr} を与えることによって、ノード $N1$ 、 $N2$ の電位は、所定の一定の電位に保たれる。

【0074】

接続ゲート81は、リードデータバス $RDB1$ とノード $N2$ との間に接続されゲートに冗長制御信号 $\phi1$ を受けるNチャネルMOSトランジスタ105と、リードデータバス/ $RDB1$ とノード $N1$ との間に接続されゲートに冗長制御信号 $\phi1$ を受けるNチャネルMOSトランジスタ106とを含む。

【0075】

接続ゲート82は、リードデータバス $RDB2$ とノード $N1$ との間に接続されゲートに冗長制御信号 $\phi2$ を受けるNチャネルMOSトランジスタ103と、リードデータバス/ $RDB2$ とノード $N2$ との間に接続されゲートに冗長制御信号 $\phi2$ を受けるNチャネルMOSトランジスタ104とを含む。

【0076】

リードアンプFAMPは、ノード $Ns1$ 、 $Ns2$ の間に生じた電位差を増幅して信号OUT、 $\neg OUT$ を出力する。

【0077】

図8は、図2に示したメモリセルアレイ10および読出／書込回路9の制御信号を説明するための図である。

【0078】

図2、図8を参照して、ビット線はたとえば $BL1$ 、 $\neg BL1$ のように対をなしている。読出対象となるメモリセルに接続されるビット線を読出ビット線とすると、この読出ビット線と対をなすビット線がリファレンスビット線（ダミービット線）となる。リファレンスビット線は、対応するダミーメモリセルに接続される。

【0079】

メモリセルデータ読出時には、接地電位にプリチャージされたビット線に対してワード線 WLj の活性化によって行選択されたメモリセルが接続される。ワード線 WLj の活性化とともに、ダミーワード線 $DWL0$ が活性化される。これにより、メモリセル21, 23, 31, 33, 35, 37が接続される読出ビット

線と対をなすリファレンスビット線にダミーセルが接続される。なお、ワード線 $WL_j + 1$ が活性化される場合には、ダミーワード線 DWL_1 が活性化される。この場合にはメモリセル 22, 24, 32, 34, 36, 38 がそれぞれ接続されるビット線が読出ビット線であり、これと対をなすビット線はリファレンスビット線となる。

【0080】

ワード線、ダミーワード線の活性化とともに、コラム選択線 CSL_2 より列選択された読出ビット線およびリファレンスビット線が、リードデータバス対 RDB_1 , $/RDB_1$ または RDB_2 , $/RDB_2$ に接続され、センスアンプ 83 によりデータが検知され出力される。

【0081】

図 8 に示したように、選択コラムのビット線対が一方のデータ線対に接続されるとともに、2 対のスペアビット線対のうち選択コラムに対応する 1 対が選択されて他方のデータ線対に接続される。

【0082】

具体的には、図 8 の上段に示すように、制御信号 CSL_{01} または CSL_{02} が活性化された場合には、選択コラムが使用するデータバスは RDB_1 , $/RDB_1$ である。このときは制御信号 $SCSL_0$ が活性化されコラム選択ゲート 62 が導通し、選択スペアコラムとしてスペアビット線対 SBL_2 , $/SBL_2$ が選択される。選択スペアコラムはこのときにデータバス RDB_2 , $/RDB_2$ を使用する。読出／書込回路 9 において、センスアンプ 83 の入力部分で冗長判定結果を反映した冗長制御信号 ϕ_1 , ϕ_2 によりデータ線選択が行なわれる。制御信号 $SCSL_0$ が活性化される場合には、冗長制御信号 ϕ_1 によってノーマル選択がなされ、冗長制御信号 ϕ_2 によってスペア選択がなされる。

【0083】

図 2 では、ワード線 WL_j およびダミーワード線 DWL_0 が活性化され、制御信号 CSL_{02} および制御信号 $SCSL_0$ が活性化され、選択コラムおよび選択スペアコラムが選択されている状態が示されている。選択されたワード線およびビット線は太線によって示されている。

【0084】

一方、図8の下段に示すように、選択コラムが制御信号CSL11またはCSL12によって選択される場合は、選択コラムが使用するデータバスはリードデータバスRDB2、／RDB2である。このときには、選択スペアコラムを指定するために制御信号SCSL1が活性化される。選択スペアコラムが使用するデータバスはリードデータバスRDB1、／RDB1である。この場合には、冗長制御信号 ϕ 1によってスペア選択がなされ、冗長制御信号 ϕ 2によってノーマル選択がなされる。図1における冗長制御回路60は、入力されたアドレスによって冗長制御信号 ϕ 1がノーマル選択を示すかスペア選択を示すかを判定し、入力されたアドレスとプログラム回路11に保持されているアドレスとを比較して冗長制御信号 ϕ 1、 ϕ 2のいずれか一方を活性化する。

【0085】

このような構成とすることにより、スペアコラムと正規コラムの選択動作を並列的に行ない、最終的にセンスアンプ83によっていずれか一方のデータを読み出す。並列選択を行なうことにより、アクセススピードを速くすることができる。

【0086】

また、各リードデータバスには、均等にコラム選択ゲートが接続されているので、コラム選択ゲートによる寄生容量をリードデータバス間で等しくすることができる。したがって、ビット線対、リードデータバス対からなる読出電流経路の寄生容量のアンバランスがないので、正確に読出を行なうことができる。

【0087】

図9は、図2に示した読出／書込回路9の変形例である読出／書込回路9aをメモリセルアレイ10に適用した変形例である。

【0088】

図9を参照して、読出／書込回路9aは、センスアンプ201、202と、接続ゲート203、204とを含む。

【0089】

センスアンプ201は、リードデータバスRDB1、／RDB1にそれぞれ接続されるメモリセルおよびダミーメモリセルに流れる電流の差を検出する。セン

スアンプ202は、リードデータバスRDB2、／RDB2にそれぞれ接続されるメモリセルおよびダミーメモリセルに流れる電流の差を検出する。

【0090】

センスアンプ201、202の構成は図7で示したセンスアンプ83と同様であるので説明は繰返さない。

【0091】

接続ゲート203は、冗長制御信号 $\phi 1$ の活性化に応じてセンスアンプ202の出力を選択する。接続ゲート204は、冗長制御信号 $\phi 2$ の活性化に応じてセンスアンプ202の出力を選択する。読出／書込回路9aは、冗長制御信号 $\phi 1$ 、 $\phi 2$ のいずれか一方によって選択されたセンスアンプの出力を読出結果として出力する。

【0092】

図9に示した構成では、ノーマルメモリセルのデータとスペアメモリセルのデータは並列的に2つのセンスアンプ201、202で読出される。このセンスアンプにおけるセンス動作が行なわれた後に冗長判定結果を反映した冗長制御信号 $\phi 1$ 、 $\phi 2$ により読出データの選択が行なわれ、選択されるべきノーマルデータあるいはスペアデータに対応するデータが選択されて次段に送られる。

【0093】

図9に示した構成においても、センスアンプに接続されるリードデータバスごとの負荷容量のアンバランスがないという利点がある。

【0094】

図10は、メモリセルアレイ10の第1の変形例であるメモリセルアレイ10aの構成を示した回路図である。

【0095】

図10を参照して、メモリセルアレイ10aは、図2において説明したメモリセルアレイ10の構成において、スペアビット線SBL1、／SBL1、SBL2、／SBL2に代えてスペアビット線SBL、／SBLを含む。またスペアメモリセル21～24に代えてスペアメモリセル21a、22aを含み、スペアダミーメモリセル41～44に代えてスペアダミーメモリセル41a、42aを含

む。さらに、コラム選択ゲート61、62に代えてコラム選択ゲート61a、62aを含む。

【0096】

メモリセルアレイ10aの他の部分の構成については、図2に示したメモリセルアレイ10と同様であり説明は繰返さない。

【0097】

スペアメモリセル21aはワード線WLjとスペアビット線SBLとに接続される。スペアメモリセル22aは、ワード線WLj+1とスペアビット線/SBLとに接続される。スペアダミーメモリセル41aは、ダミーワード線DWL1とスペアビット線SBLとに接続される。スペアダミーメモリセル42aは、ダミーワード線DWL0とスペアビット線/SBLとに接続される。

【0098】

コラム選択ゲート61aは、制御信号SCSL1の活性化に応じてスペアビット線SBL、/SBLをそれぞれリードデータバスRDB1、/RDB1に接続する。コラム選択ゲート62aは、制御信号SCSL0の活性化に応じてスペアビット線SBL、/SBLをそれぞれリードデータバスRDB2、/RDB2に接続する。

【0099】

このようにすれば、スペアビット線の数減らしても、リードデータバスの寄生容量のアンバランスが低減されたメモリセルアレイを実現できる。

【0100】

なお、図10においては、選択されたリードデータバスを介してセンスアンプによってデータ読出を行なう読出/書込回路9が示されているが、これに代えて図9に示した読出/書込回路9aを用いてもよい。

【0101】

図11は、メモリセルアレイの第2の変形例であるメモリセルアレイ10bの構成を示す回路図である。

【0102】

図11を参照して、メモリセルアレイ10bは、図2で説明したメモリセルア

レイ 10 の構成において、リードデータバス RDB 2, /RDB 2 が配置される位置が異なる。すなわち、リードデータバス RDB 2, /RDB 2 は、メモリセルおよびタミーメモリセルを挟むようにリードデータバス RDB 1, /RDB 1 と対向する位置に配置される。リードデータバスの配置の変更に応じて、コラム選択ゲート 61b, 63b, 65b は、リードデータバス RDB 1, /RDB 1 の近くに配置され、対応するビット線対とリードデータバスとの間に配置される。一方コラム選択ゲート 62b, 64b, 66b は、リードデータバス RDB 2, /RDB 2 の近くに配置され、対応するビット線対とリードデータバス RDB 2, /RDB 2 との間に配置される。

【0103】

リードデータバス RDB 1, /RDB 1 に対応して読出／書込回路 9b#1 が設けられる。読出／書込回路 9b#1 は、接続ゲート 81b とセンスアンプ 83b#1 とを含む。接続ゲート 81b は冗長制御信号 $\phi 1$ に応じて導通し、リードデータバス RDB 1, /RDB 1 をセンスアンプ 83b#1 の入力ノードに接続する。

【0104】

リードデータバス RDB 2, /RDB 2 に対応して読出／書込回路 9b#2 が設けられる。読出／書込回路 9b#2 は、接続ゲート 82b とセンスアンプ 83b#2 とを含む。接続ゲート 82b は冗長制御信号 $\phi 2$ に応じて導通し、リードデータバス RDB 2, /RDB 2 をセンスアンプ 83b#2 の入力ノードに接続する。

【0105】

センスアンプ 83b#1, 83b#2 の構成は図 7 で示したセンスアンプ 83 と同様であるので説明は繰返さない。

【0106】

このように、リードデータバスをビット線対の両側に配置し、コラム選択ゲートをビット線対の左側と右側とで交互に配置することにより、コラム選択ゲートの部分のレイアウトピッチが 2 倍になる。これによりメモリセルアレイのピッチ制約が緩和されるという利点がある。

【0107】

図12は、メモリセルアレイの第3の変形例であるメモリセルアレイ10cの構成を説明するための回路図である。

【0108】

図12を参照して、メモリセルアレイ10cは、図11に示したメモリセルアレイ10bの構成において、スペアビット線SBL1, SBL2, /SBL1, /SBL2に代えてスペアビット線SBL, /SBLを含む。またスペアメモリセル21~24に代えてスペアメモリセル21c, 22cを含み、スペアダミーメモリセル41~44に代えてスペアダミーメモリセル41c, 42cを含む。そしてスペアビット線SBL, /SBLの両端にはコラム選択ゲート61c, 62cが設けられている。コラム選択ゲート61cは、選択信号SCSL1の活性化に応じてビット線SBL, /SBLをそれぞれリードデータバスRDB1, /RDB1に接続する。コラム選択ゲート62cは、選択信号SCSL0の活性化に応じてスペアビット線SBL, /SBLをそれぞれリードデータバスRDB2, /RDB2に接続する。このような構成とすることにより、スペアビット線対が1対である場合においてもスペアメモリセルと正規メモリセルの並列的な読出が可能となる。

【0109】

メモリセルアレイ10cに対応して読出/書込回路9c#1, 9c#2が設けられる。

【0110】

読出/書込回路9c#1は、リードデータバスRDB1, /RDB1に接続されるメモリセル、ダミーメモリセルに流れる電流の差を検知してデータ読出を行なうセンスアンプ83c#1と、冗長制御信号φ1に応じて導通してセンスアンプ83c#1の出力をグローバルデータバスGDB, /GDBに伝達する接続ゲート81cとを含む。

【0111】

読出/書込回路9c#2は、リードデータバスRDB2, /RDB2に接続されるメモリセル、ダミーメモリセルに流れる電流の差を検知してデータ読出を行

なうセンスアンプ 83c#2 と、冗長制御信号 $\phi 2$ に応じて導通しセンスアンプ 83c#2 の出力をグローバルデータバス GDB, \neg GDB に伝達する接続ゲート 82c とを含む。

センスアンプ 83c#1, 83c#2 の構成は図 7 で示したセンスアンプ 83 と同様であるので説明は繰返さない。

【0112】

図 13 は、メモリセルアレイの変形例であるメモリセルアレイ 10d とそれに対応する読出／書込回路 9d の構成を示した回路図である。

【0113】

図 13 を参照して、メモリセルアレイ 10d は、図 10 で説明したメモリセルアレイ 10a の構成において、コラム選択ゲート 61a, 62a に代えてそれぞれコラム選択ゲート 61d, 62d を含む。また、コラム選択ゲート 71~74 に代えてコラム選択ゲート 71d, 72d を含む。そして、さらに、リードデータバス RDB3, \neg RDB3, RDB4, \neg RDB4 がリードデータバス RDB1, RDB2 と平行に設けられている。他の部分の構成は、メモリセルアレイ 10a と同様であるので説明は繰返さない。

【0114】

コラム選択ゲート 61d は、選択信号 SCSL2 の活性化に応じてスペアビット線 SBL, \neg SBL をそれぞれリードデータバス RDB1, \neg RDB1 に接続する。コラム選択ゲート 62d は、選択信号 SCSL1 の活性化に応じてスペアビット線 SBL, \neg SBL をそれぞれリードデータバス RDB3, \neg RDB3 に接続する。

【0115】

コラム選択ゲート 71d は、選択信号 CSL1 の活性化に応じてビット線 BL1, \neg BL1, BL2, \neg BL2 をそれぞれリードデータバス RDB1, \neg RDB1, RDB2, \neg RDB2 に接続する。

【0116】

コラム選択ゲート 72d は、選択信号 CSL2 の活性化に応じてビット線 BL3, \neg BL3, BL4, \neg BL4 をそれぞれリードデータバス RDB3, \neg RDB3, RDB4, \neg RDB4 に接続する。

B3, RDB4, /RDB4に接続する。

【0117】

読出／書込回路9dは、センスアンプ83d#1～83d#4と、接続ゲート81d#1～81d#4とを含む。センスアンプ83d#1は、リードデータバスRDB1, /RDB1に接続されるメモリセルおよびダミーメモリセルに流れる電流の差を検知してデータを読出す。センスアンプ83d#2は、リードデータバスRDB2, /RDB2に接続されるメモリセルおよびダミーメモリセルに流れる電流の差を検知してデータを読出す。センスアンプ83d#3は、リードデータバスRDB3, /RDB3に接続されるメモリセルおよびダミーメモリセルに流れる電流の差を検知してデータを読出す。センスアンプ83d#4は、リードデータバスRDB4, /RDB4に接続されるメモリセルおよびダミーメモリセルに流れる電流の差を検知してデータを読出す。

【0118】

センスアンプ83d#1～83d#4の各構成は図7で示したセンスアンプ83と同様であるので説明は繰返さない。

【0119】

接続ゲート81d#1は、冗長制御信号 ϕ 1の活性化に応じてセンスアンプ83d#1の出力をグローバルデータバスGDB1, /GDB1に接続する。接続ゲート81d#2は、冗長制御信号 ϕ 2の活性化に応じてセンスアンプ83d#2の出力をグローバルデータバスGDB2, /GDB2に接続する。接続ゲート81d#3は、冗長制御信号 ϕ 3の活性化に応じてセンスアンプ83d#3の出力をグローバルデータバスGDB1, /GDB1に接続する。接続ゲート81d#4は、冗長制御信号 ϕ 4の活性化に応じてセンスアンプ83d#4の出力をグローバルデータバスGDB2, /GDB2に接続する。

【0120】

図13に示した構成では、同時に選択されるスペアメモリセルと正規メモリセルの比が1対多の態様になる場合を示している。この場合には、各リードデータバスに接続される容量をバランスさせるためにコラム選択ゲートをなるべく均等に各リードデータバスに配置する。そして、同時に選択される正規メモリセルが

らの読出データとスペアメモリセルからの読出データの衝突がないような接続関係とデコード関係となるように設計されている。

【0121】

図14は、図13に示した構成の制御信号のデコード関係を示す図である。

図14の上段を参照して、選択信号CSL1によってコラム選択が行なわれる場合には、正規メモリセルが使用するデータバスはリードデータバスRDB1、 $\overline{\text{RDB1}}$ 、RDB2、 $\overline{\text{RDB2}}$ である。この場合には制御信号SCSL1が活性化されスペアコラムが選択される。スペアコラムが使用するデータバスはこの場合にはリードデータバスRDB3、 $\overline{\text{RDB3}}$ である。そして冗長制御信号 $\phi 1 \sim \phi 4$ によるスペア/ノーマルの選択は、冗長制御信号 $\phi 1$ および $\phi 2$ が活性化される場合には正規メモリセルの選択となり、一方、冗長制御信号 $\phi 3$ および $\phi 2$ が活性化される場合にはスペアメモリセルの選択となる。

【0122】

図14の下段を参照して、選択信号CSL2によってコラム選択が行なわれる場合には、正規メモリセルが使用するデータバスはリードデータバスRDB3、 $\overline{\text{RDB3}}$ 、RDB4、 $\overline{\text{RDB4}}$ である。この場合には制御信号SCSL2が活性化されスペアコラムが選択される。スペアコラムが使用するデータバスはこの場合にはリードデータバスRDB1、 $\overline{\text{RDB1}}$ である。そして冗長制御信号 $\phi 1 \sim \phi 4$ によるスペア/ノーマルの選択は、冗長制御信号 $\phi 3$ および $\phi 4$ が活性化される場合には正規メモリセルの選択となり、一方、冗長制御信号 $\phi 1$ および $\phi 4$ が活性化される場合にはスペアメモリセルの選択となる。

【0123】

図15は、図13における読出/書込回路9dの変形例である読出/書込回路9eの構成を示した回路図である。

【0124】

図15を参照して、読出/書込回路9eは、接続ゲート81e#1～81e#4と、センスアンプ回路83e#1、83e#2を含む。接続ゲート81e#1は、冗長制御信号 $\phi 1$ の活性化に応じてリードデータバスRDB1、 $\overline{\text{RDB1}}$ をセンスアンプ83e#1の2つの入力ノードにそれぞれ接続する。接続ゲー

ト 81 e # 2 は、冗長制御信号 ϕ 2 の活性化に応じてリードデータバス RDB 2，／RDB 2 をセンスアンプ 83 e # 2 の 2 つの入力ノードにそれぞれ接続する。接続ゲート 81 e # 3 は、冗長制御信号 ϕ 3 の活性化に応じてリードデータバス RDB 3，／RDB 3 をセンスアンプ 83 e # 1 の 2 つの入力ノードにそれぞれ接続する。接続ゲート 81 e # 4 は、冗長制御信号 ϕ 4 の活性化に応じてリードデータバス RDB 4，／RDB 4 をセンスアンプ 83 e # 2 の 2 つの入力ノードにそれぞれ接続する。

【0125】

以上実施の形態 1 で示した各種の構成例によれば、MRAMにおいて、正規メモリセルとスペアメモリセルの同時読出を行なう場合に、読出データバスの寄生容量のアンバランスを最小にして読出マージンやアクセスタイムを向上することができる。

【0126】

〔実施の形態 2〕

実施の形態 1 で説明したように正規メモリセルとスペアメモリセルのアクセス動作を同時に並行して行なう場合を説明した。この場合において、並列アクセスされるメモリセルの位置により読出電流が流れる電流パスの長さが異なると、読出速度のアンバランスが生じる。読出速度のアンバランスが生ずると、アクセスタイムは一番遅い読出速度のメモリセルによって規定されてしまうので、結果的にはアクセスタイムが損なわれる。

【0127】

図 16 は、実施の形態 2 において用いられるメモリセルアレイ 310 の構成を示した回路図である。なお、図 16 に示す構成は、図 9 に示したようにリードデータバスの対にそれぞれ対応するセンスアンプが複数設けられており、複数のリードデータバスに読出電流が同時に流れる場合に有効である。

【0128】

図 9 においては、メモリセルの行に対応してワード線およびダミーワード線が示されていたが、図 16 では、読出電流が流れる経路を説明するために、ワード線およびダミーワード線に代えてソース線 SL_j ， SL_{j+1} およびダミーソー

ス線DSL1, DSL0が示されている。

【0129】

なお、ソース線SLjおよびダミーソース線DSL0は太線で示されているが、これは対応する読出ワード線の活性化によりこれらのソース線が電流経路として選択状態にあることが示されており、配線の幅が太いことを示すものではない。

【0130】

メモリセルアレイ310において、スペアメモリセル21, 23および正規メモリセル31, 33, 35, 37がソース線SLjに接続されている。またスペアメモリセル22, 24および正規メモリセル32, 34, 36, 38がソース線SLj+1に接続されている。

【0131】

スペアダミーメモリセル41, 43およびダミーメモリセル51, 53, 55, 57がダミーソース線DSL1に接続される。スペアダミーメモリセル42, 44およびダミーメモリセル52, 54, 56, 58がダミーソース線DSL0に接続される。スペアビット線およびビット線とメモリセルおよびコラム選択ゲートについては、図9で示した構成と同様であるので説明は繰返さない。

【0132】

メモリセルアレイ310の外部には一方端が接地電位の供給源に接続されている接地線GL1が設けられている。この接地線GL1は、スペアビット線SBL1と平行にメモリセルアレイ310の外側に配置されている。接地電位を与える接地線は、メモリセルアレイ内部の配線に対して抵抗が低い太い配線とされるのが通常であるが、この接地線GL1はメモリセルアレイ内のビット線2本分程度の単位長さ当りの電気抵抗を持つ配線である。

【0133】

図17は、図16に示した構成において並列読出が行なわれる場合の読出電流が流れる経路を説明するための図である。

【0134】

図17を参照して、矢印311は、正規メモリセル35に流れる読出電流の経

路を示す矢印である。矢印 3 1 2 は、ダミーメモリセル 5 6 に流れる参照電流の電流経路である。矢印 3 1 3 は、スペアメモリセル 2 3 に流れる読出電流の電流経路を示す矢印である。矢印 3 1 4 は、スペアダミーメモリセル 4 4 に流れる参照電流の電流経路を示す矢印である。

【 0 1 3 5 】

メモリセルアレイ周辺の接地線 G L 1 を、ビット線 2 本分の単位長さ当りの抵抗を持つように形成する。そして、リードデータバスもソース線と同じ単位長さ当りの抵抗を持つように形成する。すると、矢印 3 1 1, 3 1 2, 3 1 3, 3 1 4 で示される読出電流経路の電気抵抗を揃えることができる。

【 0 1 3 6 】

図 1 8 は、図 1 6 に示した電源線の第 1 の変形例を示した図である。

図 1 8 では、図 1 6 で説明した構成に加えて、メモリセルアレイ 3 1 0 を挟むように、接地線 G L 1 に対向する接地線 G L 2 が設けられている。接地線 G L 2 の一方端は接地電位の供給源に接続される。

【 0 1 3 7 】

図 1 9 は、図 1 6 に示した電源線の第 2 の変形例を示した図である。

図 1 9 を参照して、図 1 8 で説明した構成に対して接地線 G L 1 の両端が接地電位の供給源に接続される。また接地線 G L 2 の両端も同様に接地電位の供給源に接続される。

【 0 1 3 8 】

図 1 8 ～図 1 9 に示した電源配線の構成例においても、2 つの読出電流経路および 2 つの参照電流経路の電気抵抗が等しく保たれる。

【 0 1 3 9 】

図 2 0 は、図 1 8 に示した構成においてメモリセルアレイをさらに変形した変形例である。

【 0 1 4 0 】

図 2 0 を参照して、メモリセルアレイ 4 1 0 は、図 1 8 に示したメモリセルアレイ 3 1 0 の構成において、ダミーソース線 D S L 0, D S L 1 がソース線 S L $j \sim S L k + 1$ の中央部分に配置されている。したがって、コラム選択ゲート 6

1, 62, 71~74に隣接するソース線 SL_{k+1} とその隣のソース線 SL_k にはダミーメモリセルは接続されない。つまりソース線 SL_k にはスペアメモリセル421, 423と正規メモリセル431, 433, 435, 437が接続される。またソース線 SL_{k+1} にはスペアメモリセル422, 424および正規メモリセル432, 434, 436, 438が接続される。スペアビット線およびビット線とコラム選択ゲートの関係については、図18の場合と同様であるので説明は繰返さない。

【0141】

このように、ダミーロウをアレイ中央付近に配置することにより、元々の電流パス中の抵抗のアンバランスを低減できる。図18に示した構成では、ビット線と接地線 GL_1 , GL_2 の電気抵抗が異なる場合には、選択される正規メモリセルの位置が、ダミーメモリセルに近い場合とダミーメモリセルに離れた場合とでは、読出電流経路の抵抗値と参照電流経路の抵抗値とが大きく異なってしまう。このため、接地線の抵抗値をビット線と同程度にしていた。

【0142】

しかし、図20に示すようにダミーロウをアレイ中央部分に配置すれば、ビット線と接地線 GL_1 , GL_2 の電気抵抗が異なる場合でも、ダミーメモリセルに流れる電流経路の抵抗値と正規メモリセルの読出電流が流れる経路の抵抗値の差最大値を図18の場合に比べ半分程度に低減することができる。

【0143】

図21は、他の変形例であるメモリセルアレイ510の説明をするための図である。

【0144】

図21を参照して、メモリセルアレイ510は、図19に示したメモリセルアレイ310の構成において選択信号 $SCSL_1$, $SCSL_0$ で選択されるスペアコラムをメモリセルアレイの中央部に位置するように変形したものである。つまり、接地線 GL_1 に近接してビット線 BL_1 が設けられ、接地線 GL_2 に近接してビット線/ BL_n が設けられている。スペアビット線 SBL_1 , $/SBL_1$, SBL_2 , $/SBL_2$ はビット線 BL_1 とビット線/ BL_n のちょうど中央部分

付近に正規ビット線と平行に設けられる。このような配置とすることにより、ソース線 SL_j , SL_{j+1} およびダミーソース線 DSL_0 , DSL_1 の単位長さ当りの抵抗値と、リードデータバス RDB_1 , $\neg RDB_1$, RDB_2 , $\neg RDB_2$ の単位長さ当りの抵抗値とが異なる場合であっても図 19 に示した配置よりは電流経路の抵抗値のアンバランスを低減することができる。

【0145】

以上説明したように、実施の形態 2 に示した電源配線の構成やメモリセルアレイの構成を適用すれば、正規メモリセルのデータとスペアメモリセルのデータとを同時読出を行なう場合や 1 つのメモリセルアレイから複数ビットのデータを同時に読出す場合において読出電流経路の電気抵抗のばらつきを最小にして読出マージンやアクセスタイムを向上することができる。

【0146】

〔実施の形態 3〕

実施の形態 1 では、正規メモリセルとスペアメモリセルの同時アクセスを行なう場合を説明した。このときに並列的にアクセスされる複数のデータの読出電流パスが重なる部分、特にソース線ではその電気抵抗によりアクセスタイムが損なわれるという問題がある。

【0147】

つまり、ノーマルメモリセルとスペアメモリセルの 2 つのセルに流れる電流が同じソース線に流れると、ソース線電位の浮きが 2 倍となり、アクセスタイムを遅延させる。この場合には、常にノーマルメモリセルに流れる電流とスペアメモリセルの流れる電流の経路を別にするようにソース線やワード線を配置すればよい。

【0148】

図 22 は、読出電流経路を分離する実施の形態 3 において用いられるメモリセルアレイ 610 の構成を示した回路図である。

【0149】

図 22 を参照して、メモリセルアレイ 610 は、スペアメモリセル 621 ~ 624 と、正規メモリセル 631 ~ 634 とを含む。

【 0 1 5 0 】

スペアメモリセル 6 2 1, 6 2 2 および正規メモリセル 6 3 1, 6 3 2 は同一の行に配置されこの行に対応して読出時に選択を行なうためのワード線 R W L 1 と書込時に行選択を行なうためのディジット線 D L 1 とが設けられる。

【 0 1 5 1 】

スペアメモリセル 6 2 3, 6 2 4 および正規メモリセル 6 3 3, 6 3 4 は同一の行に配置されこの行に対応して読出時に選択を行なうためのワード線 R W L 2 と書込時に行選択を行なうためのディジット線 D L 2 とが設けられる。

【 0 1 5 2 】

スペアメモリセル 6 2 1 ~ 6 2 4 および正規メモリセル 6 3 1 ~ 6 3 4 の各構成は、図 3 に示したメモリセル 3 1 の構成と同様であるので説明は繰返さない。

【 0 1 5 3 】

メモリセルアレイ 6 1 0 は、スペアメモリセル 6 2 1, 6 2 3 に接続されるスペアビット線 S B L 1 と、スペアメモリセル 6 2 2, 6 2 4 に接続されるスペアビット線 S B L 2 と、正規メモリセル 6 3 1, 6 3 3 に接続されるビット線 B L 1 と、正規メモリセル 6 3 2, 6 3 4 に接続されるビット線 B L 2 とを含む。

【 0 1 5 4 】

メモリセルアレイ 6 1 0 は、さらに、ソース線 S L 1, S L 2 を含む。ソース線 S L 1 とソース線 S L 2 は、正規メモリセル 6 3 1 ~ 6 3 4 が配置される領域とスペアメモリセル 6 2 1 ~ 6 2 4 が配置される領域との境界部分で配置の入換えがなされている。

【 0 1 5 5 】

すなわちソース線 S L 1 はスペアメモリセルが配置される領域においてはスペアメモリセル 6 2 1, 6 2 2 に接続されている。そして正規メモリセルが配置される領域においては隣のメモリセル行にある正規メモリセル 6 3 3, 6 3 4 に接続されている。また、ソース線 S L 2 はスペアメモリセルが配置される領域においてはスペアメモリセル 6 2 3, 6 2 4 に接続されている。そして正規メモリセルが配置される領域においては隣のメモリセル行にある正規メモリセル 6 3 1, 6 3 2 に接続されている。

【 0 1 5 6 】

ここで、データ読出時にワード線 R W L 2 が活性化されビット線 B L 2 とスペアビット線 S B L 2 とが同時に選択され並列読出が行なわれる場合について説明する。図では、選択を示すためにワード線 R W L 2 およびスペアビット線 S B L 2 とビット線 B L 2 は太線で示されている。

【 0 1 5 7 】

このように選択が行なわれた場合には、スペアメモリセル 6 2 4 および正規メモリセル 6 3 4 に電流が流れることになる。ここで正規メモリセル 6 3 4 に流れる読出電流は、ビット線 B L 2 からメモリセル 6 3 4 を通り抜けてソース線 S L 1 に流入する。一方スペアメモリセル 6 2 4 に流れる電流はスペアビット線 S B L 2 からスペアメモリセル 6 2 4 を通り抜けてソース線 S L 2 に流入する。

【 0 1 5 8 】

このようにスペアメモリセルが配置される領域と正規メモリセルが配置される領域との境界部分でソース線の入換えを行なうことにより読出電流が流れる経路をメモリセルアレイ内において分離することができる。したがって、複数データを同時に読出すときのソース線の電気抵抗の影響を低減することができる。

【 0 1 5 9 】

図 2 3 は、読出電流経路を分離する構成の第 1 の変形例を示した図である。

図 2 3 を参照して、メモリセルアレイ 6 1 0 a は、スペアメモリセル 6 2 1 ~ 6 2 4 と、正規メモリセル 6 3 1 ~ 6 3 4 とを含む。

【 0 1 6 0 】

スペアメモリセル 6 2 1, 6 2 2 および正規メモリセル 6 3 1, 6 3 2 は同一の行に配置されこの行に対応して読出時に選択を行なうためのワード線 R W L 1 と書込時に行選択を行なうためのディジット線 D L 1 とが設けられる。

【 0 1 6 1 】

スペアメモリセル 6 2 3, 6 2 4 および正規メモリセル 6 3 3, 6 3 4 は同一の行に配置されこの行に対応して読出時に選択を行なうためのワード線 R W L 2 と書込時に行選択を行なうためのディジット線 D L 2 とが設けられる。

【 0 1 6 2 】

メモリセルアレイ610aは、スペアメモリセル621, 623に接続されるスペアビット線SBL1と、スペアメモリセル622, 624に接続されるスペアビット線SBL2と、正規メモリセル631, 633に接続されるビット線BL1と、正規メモリセル632, 634に接続されるビット線BL2とを含む。

【0163】

以上のメモリセル、ワード線、ディジット線、ビット線の配置については、図22の場合と同様である。以下に説明するソース線の配置が図23と図22とは異なる。

【0164】

メモリセルアレイ610aは、さらに、ソース線SL1～SL3を含む。ソース線SL1～SL3の各々は、スペアメモリセル621～624が配置される領域と正規メモリセル631～634が配置される領域の境界部分で隣接するソース線の延長上にシフトしている。

【0165】

すなわち、ソース線SL1は、正規メモリセルが配置される領域では、ソース線SL2のスペアメモリセルアレイが配置される領域に存在する部分の延長上に1行分シフトして配置される。ソース線SL1は、正規メモリセル631, 632に接続される。

【0166】

ソース線SL2は、スペアメモリセルが配置される領域においては、スペアメモリセル621, 622に接続される。そして、ソース線SL2は、正規メモリセルが配置される領域では、ソース線SL3のスペアメモリセルアレイが配置される領域に存在する部分の延長上に1行分シフトして配置される。ソース線SL2は、正規メモリセル633, 634に接続される。

【0167】

ソース線SL3は、スペアメモリセルが配置される領域においては、スペアメモリセル623, 624に接続される。そして、ソース線SL3は、正規メモリセルが配置される領域では、図示しないソース線SL4のスペアメモリセルアレイが配置される領域に存在する部分の延長上に1行分シフトして配置される。

【0168】

このようにソース線をシフトしてずらすことにより図22に示した場合よりもソース線の交差部分をなくすることができ、ソース線を1つの配線層で形成することができる。

【0169】

このような配置とすれば、選択されたメモリセル634に流れる電流はビット線BL2からメモリセル634を通りソース線SL2に流入して接地線GL1に至る。また選択されたスเปアメモリセル624に流れる電流はスペアビット線SBL2からスペアメモリセル624を通りソース線SL3を介して接地線GL1に至る。したがって、使用するソース線を別々にできるので、リードデータバスからビット線を介してソース線に至る読出電流パスをメモリセルアレイ内において分離できるので、複数データを同時に読出すときのソース線の電気抵抗の影響を低減することができる。

【0170】

図24は、読出電流経路を分離する構成の第2の変形例を示した図である。

図24を参照して、メモリセルアレイ610bは、図22に示したメモリセルアレイ610の構成において、ソース線SL1, SL2は入換えを行わず代わりにワード線RWL1, RWL2を途中で入換えている。この入換えは、スペアメモリセル621～624が配置される領域と正規メモリセル631～634が配置される領域の境界部分で行なわれる。

【0171】

すなわち、ワード線RWL1は、スペアメモリセルが配置される領域では、スペアメモリセル621, 622に接続される。そして、ワード線RWL1は、正規メモリセルが配置される領域では、正規メモリセル633, 634に接続される。

【0172】

また、ワード線RWL2は、スペアメモリセルが配置される領域では、スペアメモリセル623, 624に接続される。そして、ワード線RWL2は、正規メモリセルが配置される領域では、正規メモリセル631, 632に接続される。

【0173】

ここで、ワード線RWL2が活性化されビット線BL2およびスペアビット線SBL2が選択されて読出が行なわれる場合を考える。この場合スペアメモリセル624および正規メモリセル632が選択される。これらの選択されたセルは異なる行に存在している。ソース線はメモリセル行に対応して設けられているので、読出電流が流れる経路はソース線部分は分離される。

【0174】

リードデータバスからビット線を経由してソース線に至る読出電流経路をスペアメモリセルと正規メモリセルとで分離することができるので、複数データを同時に読出すときのソース線の電気抵抗の影響を低減することができる。

【0175】

図25は、読出電流経路を分離する構成の第3の変形例を示した図である。

図25を参照して、メモリセルアレイ610cは、スペアメモリセル621～624と、正規メモリセル631～634とを含む。

【0176】

スペアメモリセル621、622および正規メモリセル631、632は同一の行に配置されこの行に対応して読出時に選択を行なうためのワード線RWL1と書込時に行選択を行なうためのディジット線DL1とが設けられる。

【0177】

スペアメモリセル623、624および正規メモリセル633、634は同一の行に配置されこの行に対応して読出時に選択を行なうためのワード線RWL2と書込時に行選択を行なうためのディジット線DL2とが設けられる。

【0178】

メモリセルアレイ610cは、スペアメモリセル621、623に接続されるスペアビット線SBL1と、スペアメモリセル622、624に接続されるスペアビット線SBL2と、正規メモリセル631、633に接続されるビット線BL1と、正規メモリセル632、634に接続されるビット線BL2とを含む。

【0179】

以上のメモリセル、ワード線、ディジット線、ビット線の配置については、図

22の場合と同様である。以下に説明するソース線の配置が図25と図22とは異なる。

【0180】

メモリセルアレイ610cは、さらに、スペアメモリセル621～624が配置される領域と正規メモリセル631～634が配置される領域との境界部分に設けられる接地線GL2を含む。これによりメモリセルの第1行目に対応するソース線はソース線SL1aとソース線SL1bとに分離されている。同様にメモリセルの第2行に対応するソース線はソース線SL2aとソース線SL2bとに分離されている。

【0181】

ワード線RWL2およびビット線SBL、BL2によってスペアメモリセル624および正規メモリセル634のデータが同時に読出される場合を考える。正規メモリセル634に流れる電流はソース線SL2aを介して接地線GL2に流入するので、スペアメモリセル624の読出電流が流れるソース線SL2bに与える影響を低減することができる。

【0182】

このように、スペアメモリセルが配置される領域と正規メモリセルが配置される領域の境界部分でソース線の電位を固定することによってリードデータバスからビット線を介してソース線に至る読出電流経路を分離できるので、複数データを同時に読出すときのソース線の電気抵抗の影響を低減することができる。

【0183】

図26は、読出電流経路を分離する構成の第4の変形例を示した図である。

図26を参照して、メモリセルアレイ610dは、スペアメモリセル621～624と、正規メモリセル631～634とを含む。

【0184】

スペアメモリセル621、622および正規メモリセル631、632は同一の行に配置されこの行に対応して読出時に選択を行なうためのワード線RWL1と書込時に行選択を行なうためのディジット線DL1とが設けられる。

【0185】

スペアメモリセル623, 624および正規メモリセル633, 634は同一の行に配置されこの行に対応して読出時に選択を行なうためのワード線RWL2と書込時に行選択を行なうためのディジット線DL2とが設けられる。

【0186】

メモリセルアレイ610dは、スペアメモリセル621, 623に接続されるスペアビット線SBL1と、スペアメモリセル622, 624に接続されるスペアビット線SBL2と、正規メモリセル631, 633に接続されるビット線BL1と、正規メモリセル632, 634に接続されるビット線BL2とを含む。

【0187】

以上のメモリセル、ワード線、ディジット線、ビット線の配置については、図22の場合と同様である。以下に説明する接地線およびソース線の配置が図26と図22とは異なる。

【0188】

メモリセルアレイ610dの外部には、スペアビット線SBL1に近接してこれと平行に接地線GL1が配置され読出用のワード線RWL1に近接してこれと平行に接地線GL3が配置されている。接地線GL1, GL3は接地電位の供給源に接続されている。

【0189】

メモリセルアレイ610dは、さらに、メモリセル行に対して斜め方向に沿って互いに平行に配置されるソース線SL1～SL5を含む。ソース線SL2はメモリセル623に接続される。ソース線SL1はメモリセル621, 624に接続される。ソース線SL4はメモリセル622, 633に接続される。ソース線SL3はメモリセル631, 634に接続される。ソース線SL5はメモリセル632に接続される。

【0190】

このように、スペアメモリセルが配置される領域と正規メモリセルが配置される領域をまたいでソース線を斜め方向に配置する。このようにソース線を設けることにより、選択された正規メモリセル634と選択されたスペアメモリセル624が同一の行に存在する場合においても、これら選択セルが使用するソース線

はそれぞれソース線SL3, SL1となり別々となる。したがって、リードデータバスからビット線を経由してソース線に至る読出電流経路を分離することができ、複数データを同時に読出すときのソース線の電気抵抗の影響を低減することができる。

【0191】

図27は、読出電流経路を分離する構成の第5の変形例を示した図である。

図27を参照して、メモリセルアレイ610eは、スペアメモリセル621～624と、正規メモリセル631～634, 641～644とを含む。

【0192】

スペアメモリセル621, 622および正規メモリセル631, 632は同一の行に配置されこの行に対応してソース線SL1と書込時に行選択を行なうためのディジット線DL1とが設けられる。

【0193】

スペアメモリセル623, 624および正規メモリセル633, 634は同一の行に配置されこの行に対応してソース線SL2と書込時に行選択を行なうためのディジット線DL2とが設けられる。

【0194】

正規メモリセル641, 642は同一の行に配置されこの行に対応してソース線SL3と書込時に行選択を行なうためのディジット線DL3とが設けられる。正規メモリセル643, 644は同一の行に配置されこの行に対応してソース線SL4と書込時に行選択を行なうためのディジット線DL4とが設けられる。

【0195】

メモリセルアレイ610eは、スペアメモリセル621, 623に接続されるスペアビット線SBL1と、スペアメモリセル622, 624に接続されるスペアビット線SBL2と、正規メモリセル631, 633, 641, 643に接続されるビット線BL1と、正規メモリセル632, 634, 642, 644に接続されるビット線BL2とを含む。

【0196】

図27では、図26とは異なり、ソース線の代わりにワード線がメモリセル行

に対して斜めに配置される。すなわち、メモリセルアレイ610eは、さらに、メモリセルの行に対して斜め方向に配置されるワード線RWL1～RWL5を含む。

【0197】

ワード線RWL1は、スペアメモリセル621、624と正規メモリセル641、644に接続される。ワード線RWL2はスペアメモリセル623と正規メモリセル643とに接続される。ワード線RWL3は、正規メモリセル631、634に接続される。ワード線RWL4は、スペアメモリセル622と正規メモリセル633、642とに接続される。ワード線RWL5は正規メモリセル632に接続される。

【0198】

ワード線RWL1が活性化されビット線BL2およびスペアビット線SBL2によってコラムの選択が行なわれる場合には、正規メモリセル644が選択され、同時にスペアメモリセル624が選択される。正規メモリセル644に流れる読出電流は、ソース線SL4を経由して接地線GL1に流入する。またスペアメモリセル624に流れる読出電流はソース線SL2を経由して接地線GL1に流入する。このようにすることにより、メモリセルアレイ内のソース線を共有せずリードデータバスからビット線を経由してソース線に至る読出電流経路を分離することができ、複数データを同時に読出すときのソース線の電気抵抗の影響を低減することができる。

【0199】

以上説明したように、実施の形態3の構成によれば、正規メモリセルからのデータとスペアメモリセルからのデータの読出を並列的に同時に行なう場合において、並列アクセスされる複数の読出電流経路が分離されるので、ソース線の電気抵抗によりアクセスタイムを損なうことがなくなる。

【0200】

なお、以上の実施の形態においては、スペアメモリセルと正規メモリセルとに対して同時にアクセスを行なう場合について主に説明したが、複数の正規メモリセルに対して同時にアクセスを行なう場合にもそのまま適用が可能である。具体

的には、図13に示したような1つの選択信号によって複数の正規のビット線対が選択されるような場合においても実施の形態2～実施の形態3の構成を適用することができる。

【0201】

〔実施の形態4〕

従来のトンネル磁気抵抗素子（TMR）などを用いたMRAMでは、メモリセルデータの読出時に、データの読出用の参照値発生に用いる参照用メモリセル（以下ダミーセルとも称する）が簡単に構成できないという問題点があった。実施の形態4では、この問題点の解決について説明する。

【0202】

図28は、実施の形態4の記憶装置に用いられるメモリセルアレイの構成とメモリセルアレイからの読出に関する構成とを示した回路図である。

【0203】

図28を参照して、メモリセルアレイ710は、図2に示したメモリセルアレイ10の構成において、スペアダミーメモリセル41～44に代えてそれぞれスペアダミーメモリセル741～744を含み、ダミーメモリセル51～58に代えてダミーメモリセル751～758を含む。メモリセルアレイ710の他の部分の構成は、図2で説明したメモリセルアレイ10と同様であるので説明は繰返さない。

【0204】

ダミーメモリセル741～744、751～758は、各々磁気抵抗素子を含む。ダミーメモリセル741～744は、各々の抵抗値が R_{max} となるように磁気抵抗素子にデータ書込が行なわれている。一方、ダミーメモリセル751～758には、各々の抵抗値が R_{min} となるように磁気抵抗素子にデータが書込まれている。

【0205】

実施の形態4に係る記憶装置は、ワード線 WL_j 、 WL_{j+1} 、…、ダミーワード線 DWL_1 、 DWL_0 を駆動するワード線駆動回路711と、メモリセルアレイ710からのデータの読出を行なう読出回路709とをさらに含む。ワード

線駆動回路711は、上位のロウアドレス信号RAUの所定のビットと信号/R A 0とを受けてワード線WL j を駆動するAND回路716と、アドレス信号RAUの対応するビットと信号RA 0とを受けてワード線WL j + 1 を駆動するAND回路712と、アドレス信号RAUの対応するビットと信号RA 0とに応じてダミーワード線DWL 1 を駆動するAND回路714と、信号RAUの所定のビットと信号/R A 0とに応じてダミーワード線DWL 0 を駆動するAND回路718とを含む。図28においては、信号/R A 0がHレベルに活性化されワード線WL j とダミーワード線DWL 0 とが活性化されている場合が示されている。これらの活性化された2つのワード線には各ビット線対に含まれる2つのビット線のうちの1つずつが対応する。

【0206】

具体的に、コラム選択信号である信号CSL 0 2が活性化されビット線BL 3 および/B L 3 が選択されるときを考える。ワード線WL j とビット線/B L 3 との交点にはメモリセルが配置されていないので、ビット線/B L 3 を参照メモリセル756からの参照値の読出に使用することができる。したがってワード線WL j の活性化時にはダミーワード線DWL 0, DWL 1 のうちのダミーワード線DWL 0 が選択されて活性化される。

【0207】

反対にワード線WL j + 1 が活性化される場合には、ビット線/B L 3 はメモリセル36のデータ読出に用いられるため、参照値を伝達することができない。したがって参照値はビット線BL 3 を用いて伝達する必要がある。このため、ダミーワード線DWL 1 がダミーワード線DWL 0 の代わりに選択される。このときビット線BL 3 を介してダミーメモリセル755の参照値がビット線BL 3 を介してリードデータバスに伝達される。

【0208】

読出回路709は、信号/R A 0が活性化されたときにデータバスRDB 1, /RDB 1, RDB 2, /RDB 2 をそれぞれノードNDATA 1, NREF 1, NDATA 2, NREF 2 に接続する接続回路722と、信号RA 0が活性化時に、データバスRDB 1, /RDB 1, RDB 2, /RDB 2 をそれぞれノー

ドNREF1, NDATA1, NREF2, NDATA2に接続する接続回路724と、ノードNDATA1, NREF1に入力が接続されるセンスアンプ726と、ノードNDATA2, NREF2に入力が接続されるセンスアンプ728と、センスアンプ726の出力を信号 ϕ 1に応じてノードNOUTに伝達するスイッチ730と、センスアンプ728の出力を信号 ϕ 2に応じてノードNOUTに伝達するスイッチ732とを含む。

【0209】

接続回路722, 724によってデータバスRDB1, /RDB1のうちアドレスに対応する読出対象となるメモリセルに接続されるデータバスがノードNDATA1に接続され、ダミーセルに接続されるデータバスがノードNREF1に接続される。同様にデータバスRDB2, /RDB2のうち読出対象となるメモリセルに接続されるデータバスがノードNDATA2に接続され、ダミーセルに接続されるデータバスがノードNREF2に接続される。ノードNREF1とノードNREF2とは電氣的に接続されている。

【0210】

図29は、センスアンプからメモリセルに流れる電流の経路を説明するための図である。

【0211】

図29を参照して、図28におけるスペアメモリセル23、メモリセル35、スペアダミーメモリセル744およびダミーメモリセル756が選択され、センスアンプ726, 728に接続されている状態において流れる電流について説明する。センスアンプ726は、電源ノードからノードNDATA1に向けて電流 I_s を流す電流源762と、電源ノードからノードNREF1に向けて電流 I_s を流す電流源764と、ノードNDATA1, NREF1に入力が接続される比較回路766とを含む。

【0212】

センスアンプ728は、電源ノードからノードNDATA2に向けて電流 I_s を流す電流源772と、電源ノードからノードNREF2に向けて電流 I_s を流す電流源774と、ノードNDATA2, NREF2に入力が接続される比較回

路 776 とを含む。

【0213】

ここで、ダミーセルが接続される側は、ノード NREF1 とノード NREF2 とが電氣的に接続されているので、ダミーセル 756 の抵抗値 R_{min} とダミーセル 744 の抵抗値 R_{max} とが合成されて、その結果リファレンスレベルが発生される。この合成され発生されたリファレンスレベルと正規のメモリセル 35 の抵抗値 R_{cell} に流れる電流値に基づくレベルとが比較回路 766 で比較される。同様にスペアメモリセル 23 の抵抗値 $R_{s_{cell}}$ に流れる電流に応じたレベルがリファレンスレベルと比較回路 776 で比較される。これらの比較動作によってデータの判定が行なわれる。

【0214】

再び図 28 を参照して、センスアンプ 726, 728 でデータ判定が行なわれた後に、センスアンプ 726, 728 のいずれか一方の出力が選択される。たとえば、この選択は、ノーマルセルデータあるいはスペアセルデータのいずれかの選択に対応する。

【0215】

信号 $\phi 1$ は、データバス RDB1, $\neg RDB1$ の対によって選択されるデータを最終的に選択する場合に活性化される。一方、信号 $\phi 2$ はデータバス RDB2, $\neg RDB2$ によって伝達されたデータを最終的に選択する場合に活性化される。

【0216】

図 28 では、スペアダミーメモリセル 741 ~ 744 に抵抗値 R_{max} に対応するデータが書込まれており、ダミーメモリセル 751 ~ 758 に抵抗値 R_{min} に対応するデータが書込まれている。これらのデータ書込について説明する。

【0217】

まずウェハプロセス終了時には、TMR 素子の固定磁化層を一定の方向に向けるための磁化プロセスによる処理がなされている。これにより、自由磁化層も固定磁化層と同じ向きに磁化されるので、すべてのメモリセル（ダミーメモリセル、スペアメモリセルを含む）は抵抗値 R_{min} に対応するデータが書込まれた状

態になっている。

【0218】

次に所定のテストモードに設定し、スペアコラム上のダミーセル、すなわちスペアダミーメモリセル741～744に抵抗値 R_{max} に対応するデータを書込む。このようにメモリセルアレイの一部のダミーメモリセルを書換える作業が行なわれた後、通常モードに設定されMRAMの動作テストが行なわれる。

【0219】

スペアダミーメモリセル741～744に抵抗値 R_{max} に対応するデータを書込む動作は基本的には一度でよい。ただし信頼性を向上させるために、MRAMの電源投入時などに再書込動作を行なってもよい。図28の例ではスペアダミーメモリセル741～744に抵抗値 R_{max} に対応するデータを書込み、ダミーメモリセル751～758は初期状態のまま抵抗値 R_{min} に対応するデータを保持する例を示した。もちろん、スペアダミーメモリセル側を抵抗値 R_{min} に設定し、通常のダミーメモリセル側を抵抗値 R_{max} に対応させてもよい。しかし、図28に示した例の方が、抵抗値 R_{max} に対応するダミーメモリセル数が少ないので、初期状態からダミーメモリセルに書込を行なうためのテストサイクル数が少なく済むという利点がある。

【0220】

図28では、ダミーメモリセルの一部をデータを初期状態から書換えることにより、異なるデータを保持する2つのダミーメモリセルを用いて参照レベルを発生する場合について説明した。このようなダミーセルデータの書込動作をダミーセルの構成を変更することにより不要とすることができる。

【0221】

図30は、ダミーセルデータの書込が不要となるダミーセルの変形例の構成を説明するための回路図である。

【0222】

図30を参照して、メモリセルは通常はトランスミッションゲートTGと抵抗値 R_{min} を保持するTMR素子とが直列に接続された構成を有する。これに加え ΔR の抵抗値を有する抵抗素子をトランスミッションゲートTGとTMR素子

との間に直列に接続すればよい。抵抗値 ΔR は $R_{max} - R_{min}$ に等しくなるように設定する。

【0223】

具体的には、ゲートに所定の電位 V_{ref} を与えたNチャネルMOSトランジスタを ΔR の抵抗値を有する抵抗素子として用いることができる。このようにすれば、スペアコラム上のスペアダミーメモリセルのみ初期状態において抵抗値 R_{max} を有することになる。その結果、初期状態において抵抗値 R_{min} に接続されているダミーセルとスペアダミーメモリセルとが合成されることにより、抵抗値 $R_{min} + \Delta R / 2$ に対応する参照レベルが発生される。

【0224】

このようにスペアコラム上のダミーメモリセルのみ異なる構成を有するようにすれば、ウェハプロセス終了後に一部のダミーセルに抵抗値 R_{max} に相当するデータを書込む必要がなくなる。その結果生産工程を1つ短縮することができ、その分コストを低減することができる。

【0225】

〔実施の形態5〕

図31は、実施の形態5で用いられるメモリセルアレイと読出回路の説明をするための回路図である。

【0226】

図31を参照して、メモリセルアレイ760は、複数のメモリセルが同時に選択されて読出される構成である。また、メモリセルアレイ760は、ダミーメモリセルがコラム方向に沿って配置されるダミーコラム構成でもある。

【0227】

メモリセルアレイ760は、メモリセル802～805, 812～815および822～825と、スペアメモリセル800, 801, 810, 811, 820, 821と、ダミーメモリセル806, 816, 826とを含む。

【0228】

メモリセル800～806はワード線 WL_j とビット線 $SBL_0, SBL_1, BL_1, BL_2, BL_3, BL_4$ および DBL との交点にそれぞれ配置される。

メモリセル810～816はワード線 WL_j+1 とビット線 SBL_0 , SBL_1 , BL_1 , BL_2 , BL_3 , BL_4 および DBL との交点にそれぞれ配置される。メモリセル820～826はワード線 WL_n とビット線 SBL_0 , SBL_1 , BL_1 , BL_2 , BL_3 , BL_4 および DBL との交点にそれぞれ配置される。

【0229】

メモリセルアレイ760は、さらに、スペアビット線 SBL_0 とデータバス RDB_1 とを信号 $SCSL_1$ に応じて接続するスイッチ回路830と、スペアビット線 SBL_1 とデータバス RDB_2 とを信号 $SCSL_0$ に応じて接続するスイッチ回路831と、ビット線 BL_1 , BL_2 を信号 $SCSL_1$ の活性化に応じてそれぞれデータバス RDB_1 , RDB_2 に接続するスイッチ回路832と、ビット線 BL_3 , BL_4 を信号 CSL_2 の活性化に応じてそれぞれデータバス RDB_1 , RDB_2 に接続するスイッチ回路833と、ダミービット線 DBL を信号 $DCSL$ の活性化に応じてデータバス DDB に接続するスイッチ回路834とを含む。

【0230】

読出回路809は、信号 ϕ_1 に応じてデータバス RDB_1 をノード $NDATA$ に接続するスイッチ回路842と、信号 ϕ_2 に応じてデータバス RDB_2 をノード $NDATA$ に接続するスイッチ回路844と、ノード $NDATA$ とノード $NREF$ とに入力が接続されるセンスアンプ846とを含む。ノード $NREF$ にはデータバス DDB が接続される。

【0231】

ダミーメモリセル806, 816, 826には参照レベルを発生するための抵抗体が用いられる。この抵抗体の抵抗値は望ましくは、 $R_{min} + \Delta R / 2$ に設定される。ここで $\Delta R = R_{max} - R_{min}$ である。

【0232】

図31に示した構成では、ビット線 BL_3 , BL_4 に対応する2つのコラムの選択が並列的に行なわれ、センスアンプ846へ入力される直前において、コラムアドレスの他のビットに基づいていずれか一方が選択される。

【0233】

以上により、ダミーコラム構成を利用して高速アクセスが実現できる。

図 3 2 は、読出回路の変形例を示した図である。

【 0 2 3 4 】

図 3 2 を参照して、この変形例では図 3 1 における読出回路 8 0 9 に代えて読出回路 8 4 9 を設ける。読出回路 8 4 9 は、データバス R D B 1 に一方の入力が接続されデータバス D D B に他方の入力が接続されるセンスアンプ 8 5 2 と、データバス R D B 2 に一方の入力が接続されデータバス D D B に他方の入力が接続されるセンスアンプ 8 5 4 と、センスアンプ 8 5 2 の出力を信号 $\phi 1$ の活性化に応じてノード N O U T に伝達するスイッチ回路 8 5 6 と、信号 $\phi 2$ の活性化に応じてセンスアンプ 8 5 4 の出力をノード N O U T に伝達するためのスイッチ回路 8 5 8 とを含む。

【 0 2 3 5 】

図 3 2 に示すように、センスアンプの出力側で最終的に読出を行なうメモリセルを特定してもよい。

【 0 2 3 6 】

図 3 3 は、図 3 1 と同様にダミーメモリセルがコラム方向に沿って配置されるダミーコラム構成の他の例を示した回路図である。

【 0 2 3 7 】

図 3 3 を参照して、メモリセルアレイ 8 6 0 は、図 3 1 に示したメモリセルアレイ 7 6 0 の構成に加えてダミーメモリセル 8 0 7, 8 1 7, 8 2 7 を含み、スイッチ回路 8 3 0 ~ 8 3 4 に代えてスイッチ回路 8 6 1 ~ 8 7 4 を含む。なお、ダミーメモリセル 8 0 6, 8 1 6, 8 2 6 は、図 3 1 においてはダミービット線 D B L に接続されていたが、図 3 3 においてはダミービット線 D B L 0 に接続されている。ダミーメモリセル 8 0 7, 8 1 7, 8 2 7 は、ダミービット線 D B L 0 に隣接するダミービット線 D B L 1 に接続されている。

【 0 2 3 8 】

スイッチ回路 8 6 1 は、信号 S C S L 1 の活性化に応じてビット線 S B L 0 をデータバス R D B 1 に接続する。スイッチ回路 8 6 2 は、信号 S C S L 0 の活性化に応じてビット線 S B L 0 をデータバス R D B 3 に接続する。スイッチ回路 8 6 3 は、信号 S C S L 1 の活性化に応じてビット線 S B L 1 をデータバス R D B

2に接続する。スイッチ回路864は、信号SCSL0の活性化に応じてビット線SBL1をデータバスRDB4に接続する。

【0239】

スイッチ回路865は、信号CSL1の活性化に応じてビット線BL1、BL2をそれぞれデータバスRDB1、RDB2に接続する。スイッチ回路866は、信号CSL2の活性化に応じてビット線BL3、BL4をそれぞれデータバスRDB3、RDB4に接続する。

【0240】

スイッチ回路868は、信号DCSL0の活性化に応じてダミービット線DBL0をデータバスRDB1に接続する。スイッチ回路870は、信号DCSL1の活性化に応じてダミービット線DBL0をデータバスRDB3に接続する。スイッチ回路872は、信号DCSL0の活性化に応じてダミービット線DBL1をデータバスRDB2に接続する。スイッチ回路874は、信号DCSL1の活性化に応じてダミービット線DBL1をデータバスRDB4に接続する。

【0241】

読出回路876は、データバスRDB1、RDB3に2つの入力ノードが接続されるセンスアンプ878と、データバスRDB2、RDB4に2つの入力ノードが接続されるセンスアンプ880と、信号 $\phi 1$ の活性化に応じてセンスアンプ878をノードNOUTに伝達するスイッチ回路882と、信号 $\phi 2$ の活性化に応じてセンスアンプ880をノードNOUTに伝達するスイッチ回路884とを含む。

【0242】

ダミーメモリセル806、816、826、807、817、827の各々は、ダミーレベルを発生するための抵抗体を含む。この抵抗体の抵抗値は望ましくは $R_{min} + \Delta R / 2$ である。ここで $\Delta R = R_{max} - R_{min}$ である。図33に示した構成では、ノーマルコラム2列が並列に選択されるかまたはスペアコラム2列が並列選択される。そしてセンスアンプによる判定が行なわれた後に並列選択されたメモリセルのうちのいずれかが最終的に選択される。

【0243】

データバスRDB1, RDB3によって最終的に読出すべきメモリセルのデータが伝達される場合には信号 $\phi 1$ を活性化させることによって最終の選択が行なわれる。一方データバスRDB2, RDB4によって最終的に読出すべきメモリセルのデータが伝達される場合には信号 $\phi 2$ を活性化させることによって最終の選択が行なわれる。

【0244】

図33に示したダミーコラム構成を利用しても並列選択による高速アクセスが実現できる。

【0245】

図34は、ダミーセルがコラム方向に沿って配置されるダミーコラム構成の場合にダミーセル構成を簡便化する変形例を示した回路図である。

【0246】

図34を参照して、メモリセルアレイ900は、図33におけるメモリセルアレイ860の構成においてダミーメモリセル806, 816, 826, 807, 817, 827に代えて、ダミーメモリセル901, 903, 905, 902, 904, 906を含む。

【0247】

ダミーメモリセル901, 903および905は抵抗値として R_{max} を有する。一方、ダミーメモリセル902, 904, 906は抵抗値として R_{min} を有する。図34に示した構成では、データバスRDB1, RDB3のいずれか一方に選択メモリセルまたはスペアメモリセルのデータが伝達され、他方にはダミーメモリセルのデータの伝達が行なわれる。

【0248】

同様にデータバスRDB2, RDB4のいずれか一方にはメモリセルまたはスペアメモリセルからのデータの伝達が行なわれ、他方にはダミーメモリセルからのデータの伝達が行なわれる。

【0249】

読出回路909は、信号/CA0が活性化されたときにデータバスRDB1, RDB3, RDB2, RDB4をそれぞれノードNDATA1, NREF1, N

DATA 2, NREF 2に接続する接続回路922と、信号CA0が活性化時に、データバスRDB1, RDB3, RDB2, RDB4をそれぞれノードNREF1, NDATA1, NREF2, NDATA2に接続する接続回路924と、ノードNDATA1, NREF1に入力が接続されるセンスアンプ926と、ノードNDATA2, NREF2に入力が接続されるセンスアンプ928と、センスアンプ926の出力を信号φ1に応じてノードNOUTに伝達するスイッチ930と、センスアンプ928の出力を信号φ2に応じてノードNOUTに伝達するスイッチ932とを含む。

【0250】

スイッチ回路922, 924によって、データバスRDB1, RDB3のうちメモリセル接続側がノードNDATA1に接続され、ダミーセル接続側がノードNREF1に接続される。

【0251】

スイッチ回路922, 924によって、同様にデータバスRDB2, RDB4のうちメモリセルに接続されるデータバスがノードNDATA2に接続され、ダミーセルに接続されるデータバスがノードNREF2に接続される。接続回路922, 924の制御はコラム選択アドレスの所定のビットたとえば最下位ビットに応じて行なわれる。たとえば接続回路922は最下位ビットCA0が0である場合に導通し、接続回路924はこのビットが1である場合に導通するようにすればよい。

【0252】

ノードNREF1, NREF2は読出回路909の内部で電氣的に接続されている。これにより、ダミーセル側に関しては、抵抗値RmaxとRminの並列接続状態となり、2つの抵抗値が合成されてリファレンスレベルが発生される。このリファレンスレベルとノーマルセルあるいはスペアセルデータをそれぞれ比較してデータ判定がセンスアンプ926, 928で行なわれる。センスアンプによる判定が行なわれた後に並列読出が行なわれたメモリセルのうちのいずれか一方が選択される。たとえばビット線BL3に対応するアドレスが入力されていた場合には信号φ1が活性化され、センスアンプ926からの出力が選択される。

一方ビット線BL4に対応するアドレスが入力されていた場合には、ビット線BL4がデータバスRDB4を介してノードNDATA2に接続されるので、信号φ2が活性化されセンスアンプ928の出力が選択される。

【0253】

なお、ダミーセル901, 902には抵抗値Rmax, Rminに対応するデータが対になるように書込まれている。これらが合成されることによりリファレンスレベルの発生が行なわれる。

【0254】

ダミーメモリセルへの抵抗値Rmaxに対応するデータの書込サイクルを所定のテストモードで行なうことは図28の場合と同様である。また、ダミーメモリセルの一部の構成を図30に示すように変形することにより、この書込サイクルが不要となることも図28の場合と同様である。

【0255】

以上説明したように、図34に示した構成においてもダミーコラム構成を利用して高速アクセスが実行でき、またリファレンスレベルの発生が容易に実現できる。

【0256】

図35は、ビット線とワード線の複数の交点のうちワード線に沿って1つおきの交点にメモリセルが配置される場合におけるダミーコラム構成を説明するための回路図である。

【0257】

図35を参照して、メモリセルアレイ950は、読出用ワード線WLj, WLj+1, ..., WLn-1, WLnと、ワード線WLj, WLj+1, ..., WLn-1, WLnに交差して設けられるスペアビット線SBL1, /SBL1, SBL2, /SBL2と、ワード線WLj, WLj+1, ..., WLn-1, WLnに交差し、かつ、スペアビット線SBL1, SBL2に平行に設けられるビット線BL1~BL4, /BL1~/BL4とを含む。

【0258】

メモリセルアレイ950は、さらに、ワード線WLj, WLj+1, ..., WL

$n-1$, WL_n に交差し、かつ、ビット線 $BL_1 \sim BL_4$, $/BL_1 \sim /BL_4$ に平行に設けられるダミービット線 DBL_0 , $/DBL_0$, DBL_1 , $/DBL_1$ とを含む。

【0259】

メモリセルアレイ950は、さらに、スペアメモリセル951~954, 971~974と、正規メモリセル955~962, 975~982と、ダミーメモリセル963~966, 983~986とを含む。

【0260】

スペアメモリセル951, 953、正規メモリセル955, 957, 959, 961およびダミーメモリセル963, 965は、共通のワード線 WL_j に接続され、それぞれスペアビット線 SBL_1 , SBL_2 、ビット線 BL_1 , BL_2 , BL_3 , BL_4 、ダミービット線 DBL_0 , DBL_1 に接続される。

【0261】

スペアメモリセル952, 954、正規メモリセル956, 958, 960, 962およびダミーメモリセル964, 966は、共通のワード線 WL_{j+1} に接続され、それぞれスペアビット線 $/SBL_1$, $/SBL_2$ 、ビット線 $/BL_1$, $/BL_2$, $/BL_3$, $/BL_4$ 、ダミービット線 $/DBL_0$, $/DBL_1$ に接続される。

【0262】

スペアメモリセル971, 973、正規メモリセル975, 977, 979, 971およびダミーメモリセル973, 975は、共通のワード線 WL_{n-1} に接続され、それぞれスペアビット線 SBL_1 , SBL_2 、ビット線 BL_1 , BL_2 , BL_3 , BL_4 、ダミービット線 DBL_0 , DBL_1 に接続される。

【0263】

スペアメモリセル972, 974、正規メモリセル976, 978, 970, 972およびダミーメモリセル974, 976は、共通のワード線 WL_n に接続され、それぞれスペアビット線 $/SBL_1$, $/SBL_2$ 、ビット線 $/BL_1$, $/BL_2$, $/BL_3$, $/BL_4$ 、ダミービット線 $/DBL_0$, $/DBL_1$ に接続される。

【0264】

ダミーメモリセル963～966, 983～986は、各々磁気抵抗素子を含む。ダミーメモリセル963, 964, 983, 984は、各々の抵抗値が R_{max} となるように磁気抵抗素子にデータ書込が行なわれている。一方、ダミーメモリセル965, 966, 985, 986には、各々の抵抗値が R_{min} となるように磁気抵抗素子にデータが書込まれている。

【0265】

メモリセルアレイ950は、さらに、リードデータバスRDB1, /RDB1, RDB2, /RDB2と、コラム選択ゲート987～992とを含む。

【0266】

コラム選択ゲート987は、選択信号SCSL1に応じてスペアビット線SBL1, /SBL1をそれぞれリードデータバスRDB1, /RDB1に接続する。コラム選択ゲート988は、選択信号SCSL0に応じてスペアビット線SBL2, /SBL2をそれぞれリードデータバスRDB2, /RDB2に接続する。

【0267】

コラム選択ゲート989は、選択信号CSL01に応じてビット線BL1, /BL1をそれぞれリードデータバスRDB1, /RDB1に接続する。コラム選択ゲート990は、選択信号CSL11に応じてビット線BL2, /BL2をそれぞれリードデータバスRDB2, /RDB2に接続する。コラム選択ゲート991は、選択信号CSL02に応じてビット線BL3, /BL3をそれぞれリードデータバスRDB1, /RDB1に接続する。コラム選択ゲート992は、選択信号CSL12に応じてビット線BL4, /BL4をそれぞれリードデータバスRDB2, /RDB2に接続する。

【0268】

メモリセルアレイ950は、さらに、コラム選択ゲート1000, 1001を含む。コラム選択ゲート1000は、選択信号DCSL0に応じてビット線DBL0, /DBL0をそれぞれリードデータバス/RDB1, RDB1に接続する。コラム選択ゲート1001は、選択信号DCSL1に応じてビット線DBL1

、 DBL1 をそれぞれリードデータバス RDB2 、 RDB2 に接続する。

【0269】

読出回路993は、信号 RA0 が活性化されたときにデータバス RDB1 、 RDB1 、 RDB2 、 RDB2 をそれぞれノード NDATA1 、 NREF1 、 NDATA2 、 NREF2 に接続する接続回路994と、信号 RA0 が活性化時に、データバス RDB1 、 RDB1 、 RDB2 、 RDB2 をそれぞれノード NREF1 、 NDATA1 、 NREF2 、 NDATA2 に接続する接続回路995と、ノード NDATA1 、 NREF1 に入力が接続されるセンスアンプ996と、ノード NDATA2 、 NREF2 に入力が接続されるセンスアンプ997と、センスアンプ996の出力を信号 $\phi1$ に応じて出力ノードに伝達するスイッチ998と、センスアンプ997の出力を信号 $\phi2$ に応じて出力ノードに伝達するスイッチ999とを含む。

【0270】

接続回路994、995によってデータバス RDB1 、 RDB1 のうちアドレスに対応する読出対象となるメモリセルに接続されるデータバスがノード NDATA1 に接続され、ダミーセルに接続されるデータバスがノード NREF1 に接続される。同様にデータバス RDB2 、 RDB2 のうち読出対象となるメモリセルに接続されるデータバスがノード NDATA2 に接続され、ダミーセルに接続されるデータバスがノード NREF2 に接続される。ノード NREF1 とノード NREF2 とは電氣的に接続されている。

【0271】

$\text{RA0} = 1$ となる場合には、ワード線 WLj が活性化され、スเปアメモリセル953、959が選択され、同時にダミーメモリセル963、965が選択される。データバス RDB1 はメモリセル959のデータを伝達し、データバス RDB1 はダミーメモリセル963のデータを伝達する。同様に、データバス RDB2 はスเปアメモリセル953のデータを伝達し、データバス RDB2 はダミーメモリセル965のデータを伝達する。この場合には接続回路994が接続状態とされ、データバスとセンスアンプの入力ノードとの接続が決定される。

一方、 $\text{RA0} = 1$ となる場合にはワード線 $\text{WLj} + 1$ が活性化される。ワード

線WLj+1選択された場合には、ダミーセルのデータを伝達するデータバスがワード線WLj選択された場合とは入替わる。したがって、接続回路995が接続状態とされ、データバスとセンスアンプの入力ノードとの接続が行なわれる。接続回路994, 995の接続は、ワード線最下位アドレスRA0が奇数であるか偶数であるかに応じて行なわれる。

【0272】

このとき、先に図29で説明したようにダミーメモリセルの抵抗値RmaxとRminの並列接続が行なわれ、リファレンスレベルが発生される。このリファレンスレベルとメモリセルおよびスペアメモリセルのデータの比較が行なわれデータ判定が行なわれる。センスアンプ996, 997でデータ判定が行なわれた後に、信号φ1, φ2のいずれか一方を活性化することにより最終的に出力されるデータの選択が行なわれる。

【0273】

信号φ1はデータバスRDB1, /RDB1が読出すべきメモリセルのデータを伝達した場合に活性化される。信号φ2はデータバスRDB2, /RDB2が読出すべきメモリセルのデータを伝達した場合に活性化される。

【0274】

図35に示した構成によってもMRAMのアクセスの高速化と簡便なダミーセル構成の実現が図られる。

【0275】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0276】

【発明の効果】

本発明の記憶装置によれば、複数の読出データバスの寄生容量のアンバランスを最小にして読出マージンやアクセスタイムを向上することができる。

【0277】

また、複数ビットのデータを同時に読出す場合において読出電流経路の電気抵抗のばらつきを最小にして読出マージンやアクセスタイムを向上することができる。

【0278】

また、正規メモリセルの読出電流経路とスペアメモリセルの読出電流経路の電気抵抗の差を小さく抑えることができ、読出マージンやアクセスタイムを向上することができる。

【0279】

また、正規メモリセルの読出電流経路とダミーメモリセルの参照電流経路の電気抵抗の差を小さく抑えることができ、読出マージンやアクセスタイムを向上することができる。

【0280】

また、複数の読出電流経路をメモリセルアレイ内で分離するため、複数データを同時に読出すときの読出電流経路の電気抵抗の影響を低減することができる。

【0281】

また、高速アクセスを実現するとともに、簡便なダミーメモリセルによって、正確な参照レベルを発生させることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1のMRAMデバイス1の全体構成を示す概略ブロック図である。

【図2】 図1におけるメモリセルアレイ10の構成と読出／書込回路9の読出に関する構成とを示した回路図である。

【図3】 図2におけるメモリセル31の構成を示した回路図である。

【図4】 図3に示したメモリセルの構造の第1例を示す断面図である。

【図5】 図3に示したメモリセルの構造の第2例を示す断面図である。

【図6】 図3に示したメモリセルの構造の第3例を示す断面図である。

【図7】 図2におけるセンスアンプ83および接続ゲート81、82の構成例を示した回路図である。

【図8】 図2に示したメモリセルアレイ10および読出／書込回路9の制

御信号を説明するための図である。

【図 9】 図 2 に示した読出／書込回路 9 の変形例である読出／書込回路 9 a をメモリセルアレイ 10 に適用した変形例である。

【図 10】 メモリセルアレイ 10 の第 1 の変形例であるメモリセルアレイ 10 a の構成を示した回路図である。

【図 11】 メモリセルアレイの第 2 の変形例であるメモリセルアレイ 10 b の構成を示す回路図である。

【図 12】 メモリセルアレイの第 3 の変形例であるメモリセルアレイ 10 c の構成を説明するための回路図である。

【図 13】 メモリセルアレイの変形例であるメモリセルアレイ 10 d とそれに対応する読出／書込回路 9 d の構成を示した回路図である。

【図 14】 図 13 に示した構成の制御信号のデコード関係を示す図である。

【図 15】 図 13 における読出／書込回路 9 d の変形例である読出／書込回路 9 e の構成を示した回路図である。

【図 16】 実施の形態 2 において用いられるメモリセルアレイ 310 の構成を示した回路図である。

【図 17】 図 16 に示した構成において並列読出が行なわれる場合の読出電流が流れる経路を説明するための図である。

【図 18】 図 16 に示した電源線の第 1 の変形例を示した図である。

【図 19】 図 16 に示した電源線の第 2 の変形例を示した図である。

【図 20】 図 18 に示した構成においてメモリセルアレイをさらに変形した変形例である。

【図 21】 他の変形例であるメモリセルアレイ 510 の説明をするための図である。

【図 22】 読出電流経路を分離する実施の形態 3 において用いられるメモリセルアレイ 610 の構成を示した回路図である。

【図 23】 読出電流経路を分離する構成の第 1 の変形例を示した図である。

【図 2 4】 読出電流経路を分離する構成の第 2 の変形例を示した図である。

【図 2 5】 読出電流経路を分離する構成の第 3 の変形例を示した図である。

【図 2 6】 読出電流経路を分離する構成の第 4 の変形例を示した図である。

【図 2 7】 読出電流経路を分離する構成の第 5 の変形例を示した図である。

【図 2 8】 実施の形態 4 の記憶装置に用いられるメモリセルアレイの構成とメモリセルアレイからの読出に関する構成とを示した回路図である。

【図 2 9】 センスアンプからメモリセルに流れる電流の経路を説明するための図である。

【図 3 0】 ダミーセルデータの書込が不要となるダミーセルの変形例の構成を説明するための回路図である。

【図 3 1】 実施の形態 5 で用いられるメモリセルアレイと読出回路の説明をするための回路図である。

【図 3 2】 読出回路の変形例を示した図である。

【図 3 3】 図 3 1 と同様にダミーメモリセルがコラム方向に沿って配置されるダミーコラム構成の他の例を示した回路図である。

【図 3 4】 ダミーセルがコラム方向に沿って配置されるダミーコラム構成の場合にダミーセル構成を簡便化する変形例を示した回路図である。

【図 3 5】 ビット線とワード線の複数の交点のうちワード線に沿って 1 つおきの交点にメモリセルが配置される場合におけるダミーコラム構成を説明するための回路図である。

【図 3 6】 従来の、磁気トンネル接合部を有するメモリセルの構成を示す概略図である。

【図 3 7】 MTJメモリセルからのデータ読出動作を説明する概念図である。

【図 3 8】 MTJメモリセルに対するデータ書込動作を説明する概念図で

ある。

【図39】 MTJメモリセルに対するデータ書込時におけるデータ書込電流とトンネル磁気抵抗素子の磁化方向との関係を説明する概念図である。

【符号の説明】

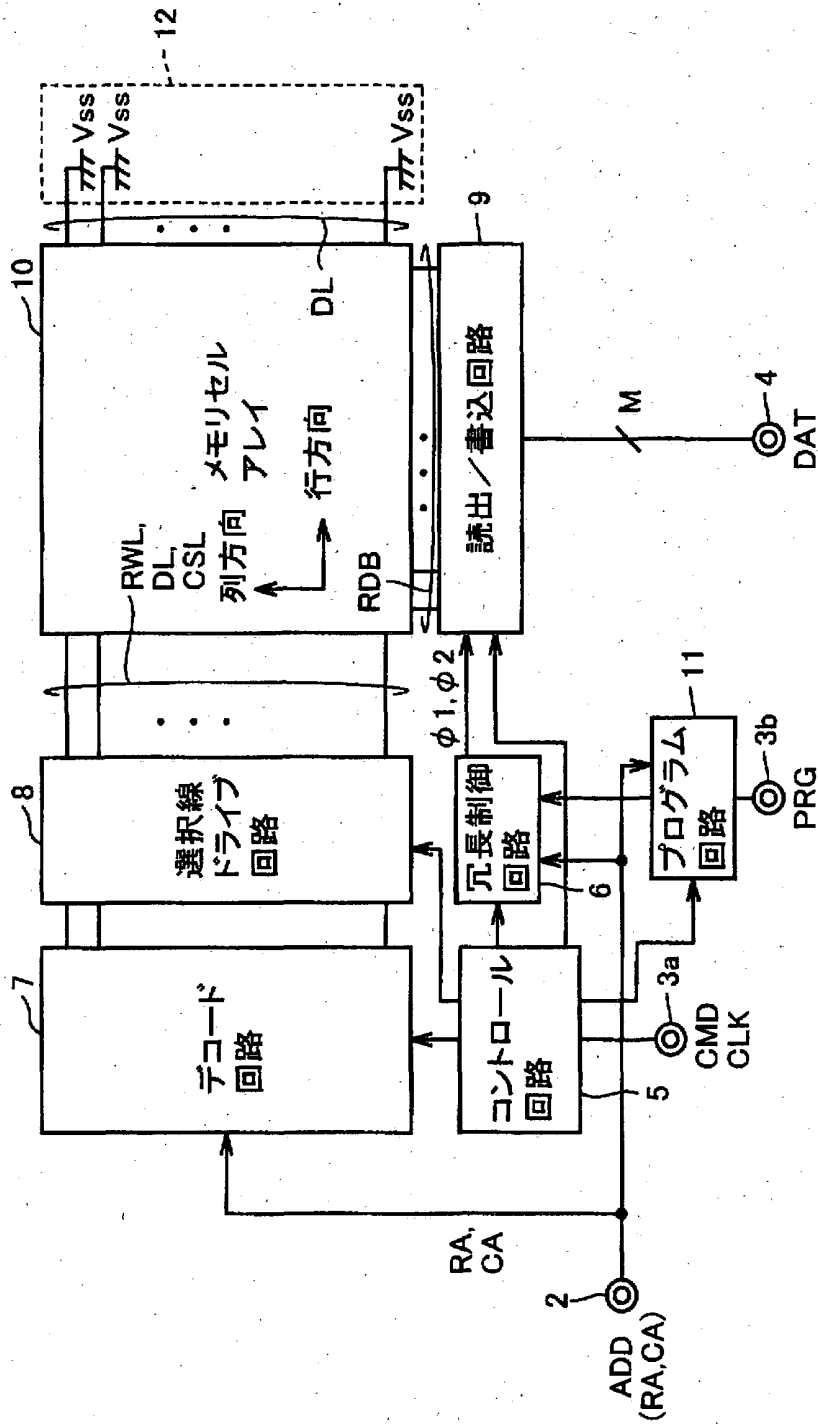
1 MRAMデバイス、2 アドレス端子、3 a, 3 b 信号端子、4 データ端子、5 コントロール回路、6 冗長制御回路、7 デコード回路、8 選択線ドライブ回路、9, 9 a~9 e 読出/書込回路、10, 10 a~10 d, 310, 410, 510, 610, 610 a~610 e メモリセルアレイ、11 プログラム回路、21~24, 21 a, 22 a, 21 c, 22 c, 421~424, 621~624 スペアメモリセル、31~38, 431~438, 631~634, 643~644 正規メモリセル、41~44, 41 a, 42 a, 41 c, 42 c スペアダミーメモリセル、51~58 ダミーメモリセル、60 冗長制御回路、61, 62, 61 a, 62 a, 61 b~66 b, 61 c, 62 c, 61 d, 62 d, 71~74, 71 d, 72 d コラム選択ゲート、81, 81 b~81 e, 82, 82 b, 82 c, 203, 204 接続ゲート、83, 83 b~83 e, 201, 202 センスアンプ、90 半導体基板、91, 92 n型不純物領域、93, 94, 96, 98 プラグ、95, 97, 99 導電層、100 強磁性体層、101 トンネルバリア、103~106, 173, 174 トランジスタ、175 センス電流供給部、171 a, 171 b 定電流供給回路、176, 177 抵抗、ATR アクセストランジスタ、GL1~GL3 接地線、GDB, /GDB, GDB1, /GDB1, GDB2, /GDB2 グローバルデータバス、SBL, /SBL, SBL1, SBL2, /SBL1, /SBL2 スペアビット線、SL1~SL5, SLj, SLj+1, SLk, SL1 a, SL1 b, SL2 a, SL2 b ソース線、DSL1, DSL0 ダミーソース線、DWL1, DWL0 ダミーワード線、DL, DL1~DL4, DLj, DLj+1 デジジット線、TB トンネルバリア、TM R トンネル磁気抵抗素子、BL, BL1~BLn, /BL1~/BLn ビット線、WWL ライトワード線、FAMP リードアンプ、RDB リードデータバス、RDB1~RDB4, /RDB1~/RDB4 リードデータバス、R

WL, WLj, WLj+1, RWL1~RWL5 ワード線、FL 固定磁化層
、VL 自由磁化層。

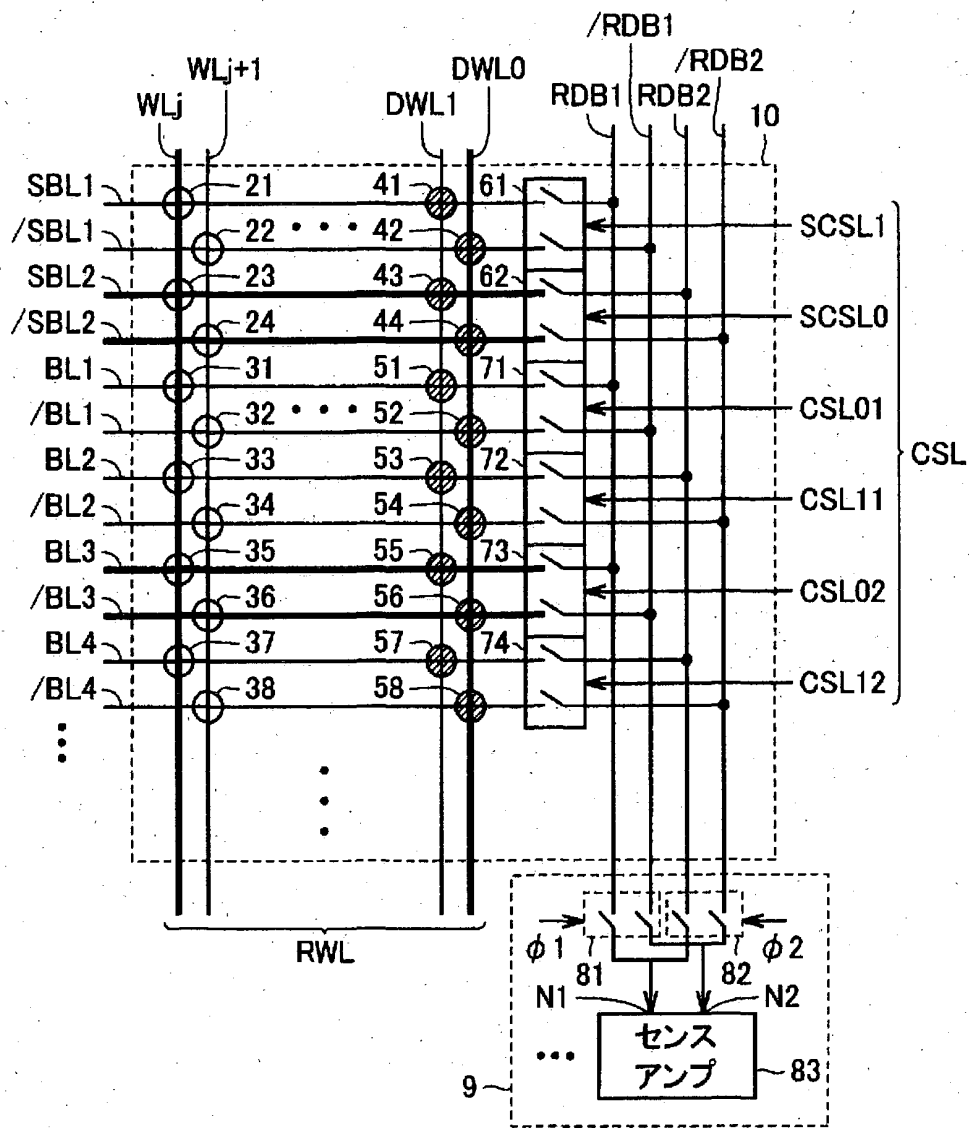
【書類名】 図面

【图 1】

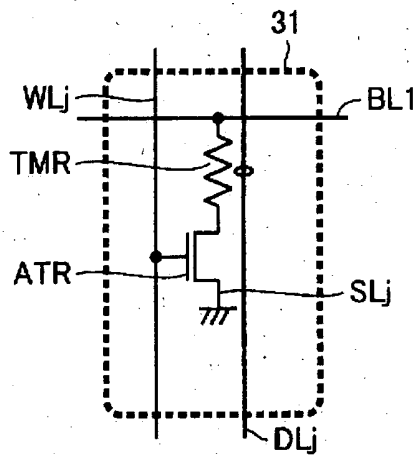
1



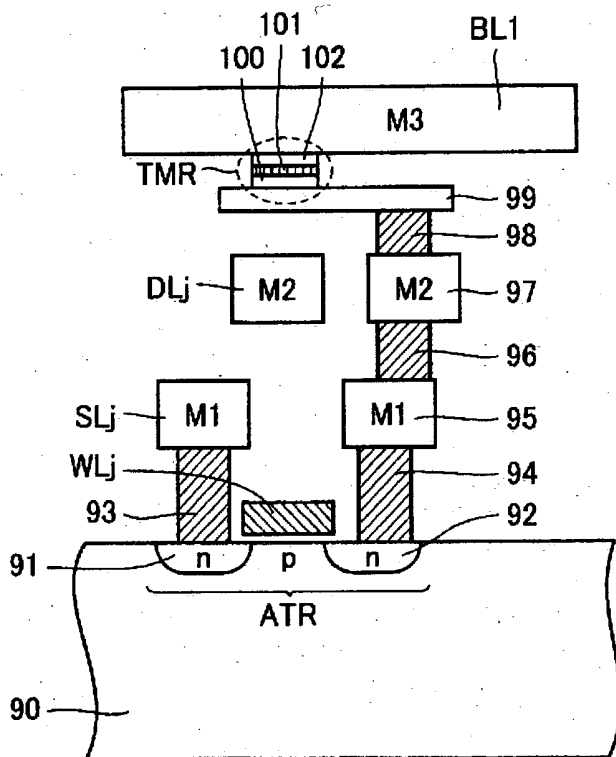
【図2】



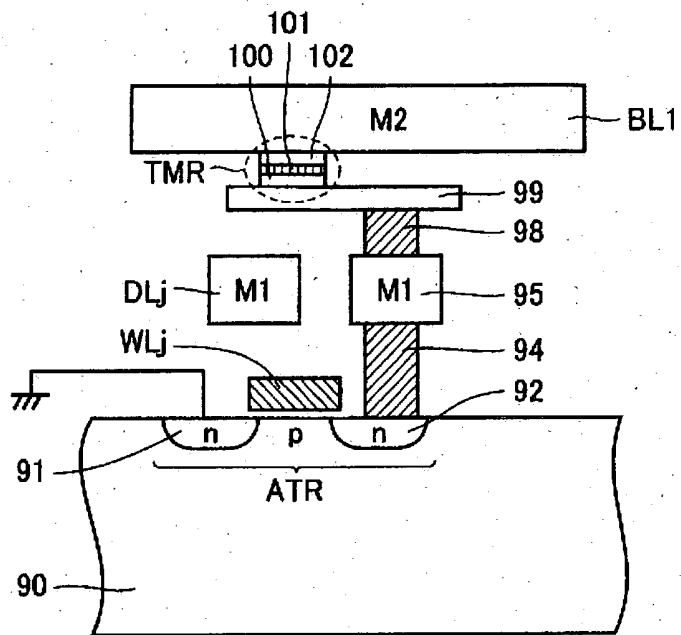
【図 3】



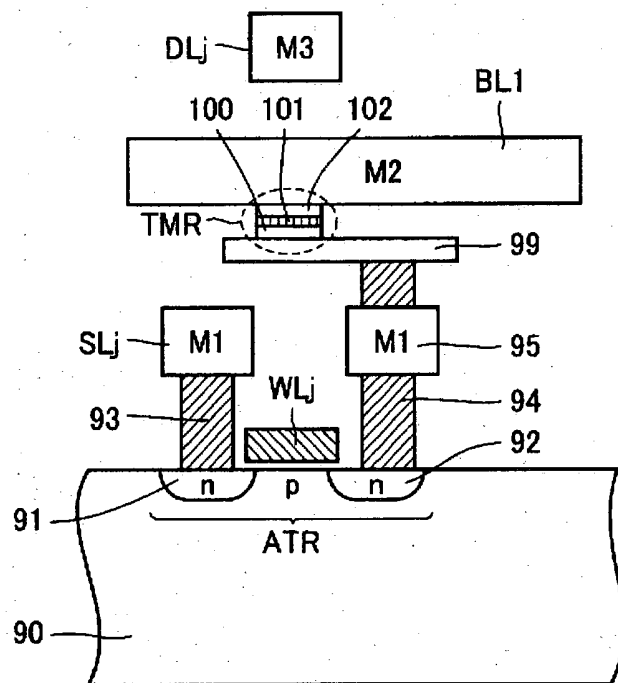
【図 4】



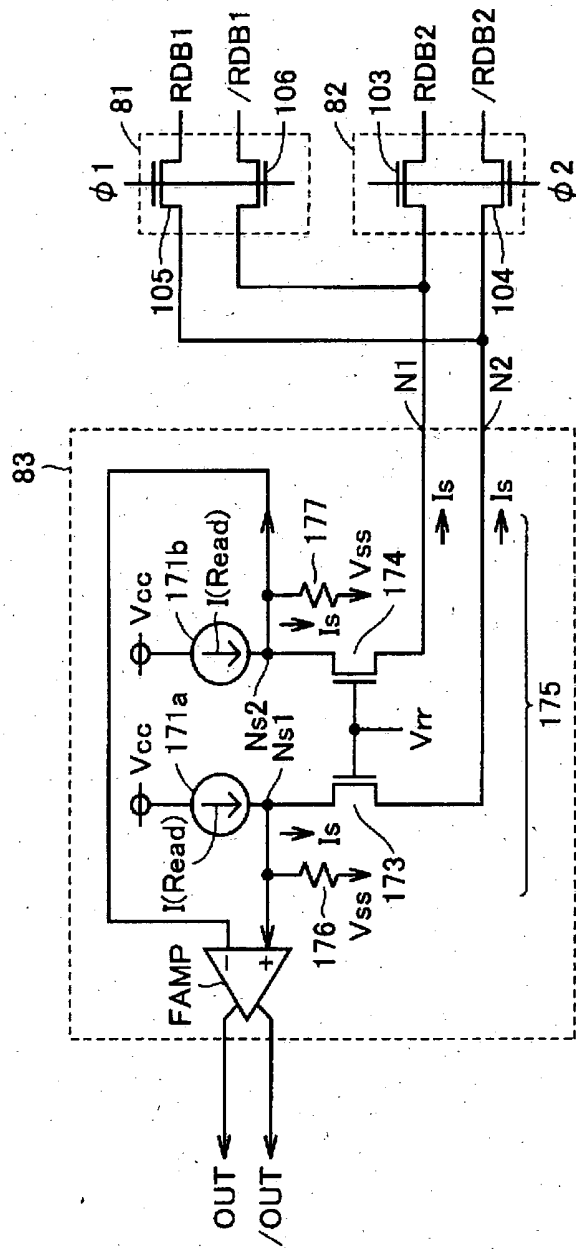
【図 5】



【図 6】



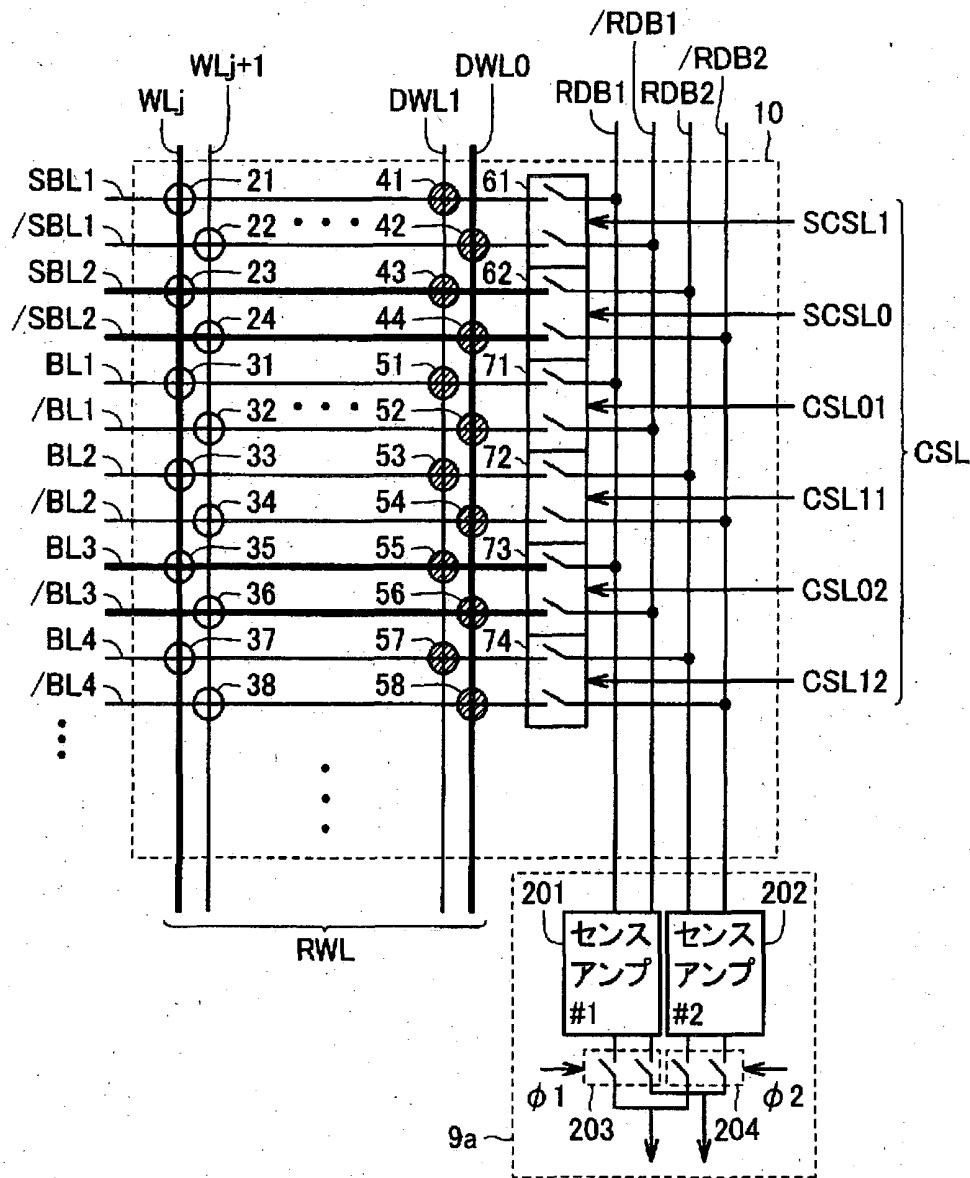
【図7】



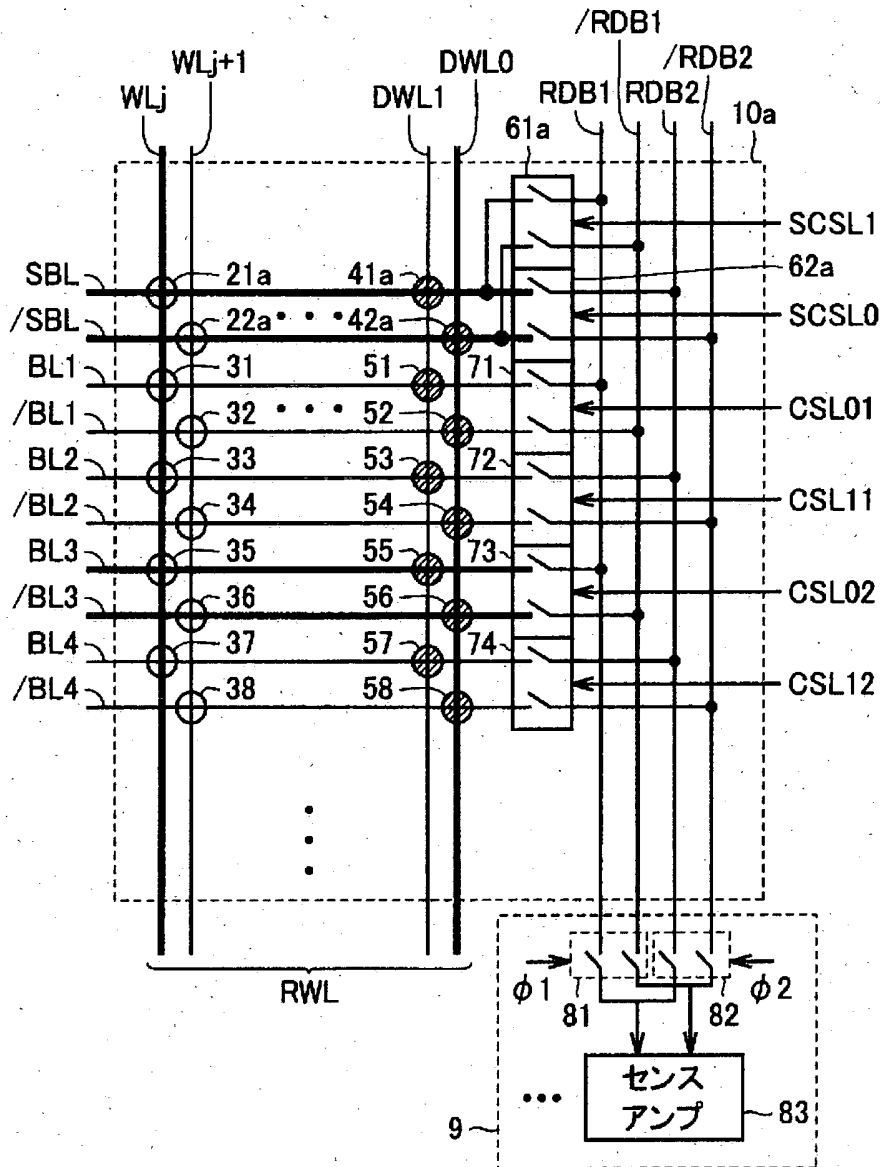
【図8】

選択コラム	使用データバス	選択スピアコラム	使用データバス	スピア／ノーマル
CSL01 CSL02	RDB1, /RDB1	SCSL0	RDB2, /RDB2	φ1:ノーマル選択 φ2:スピア選択
CSL11 CSL12	RDB2, /RDB2	SCSL1	RDB1, /RDB1	φ1:スピア選択 φ2:ノーマル選択

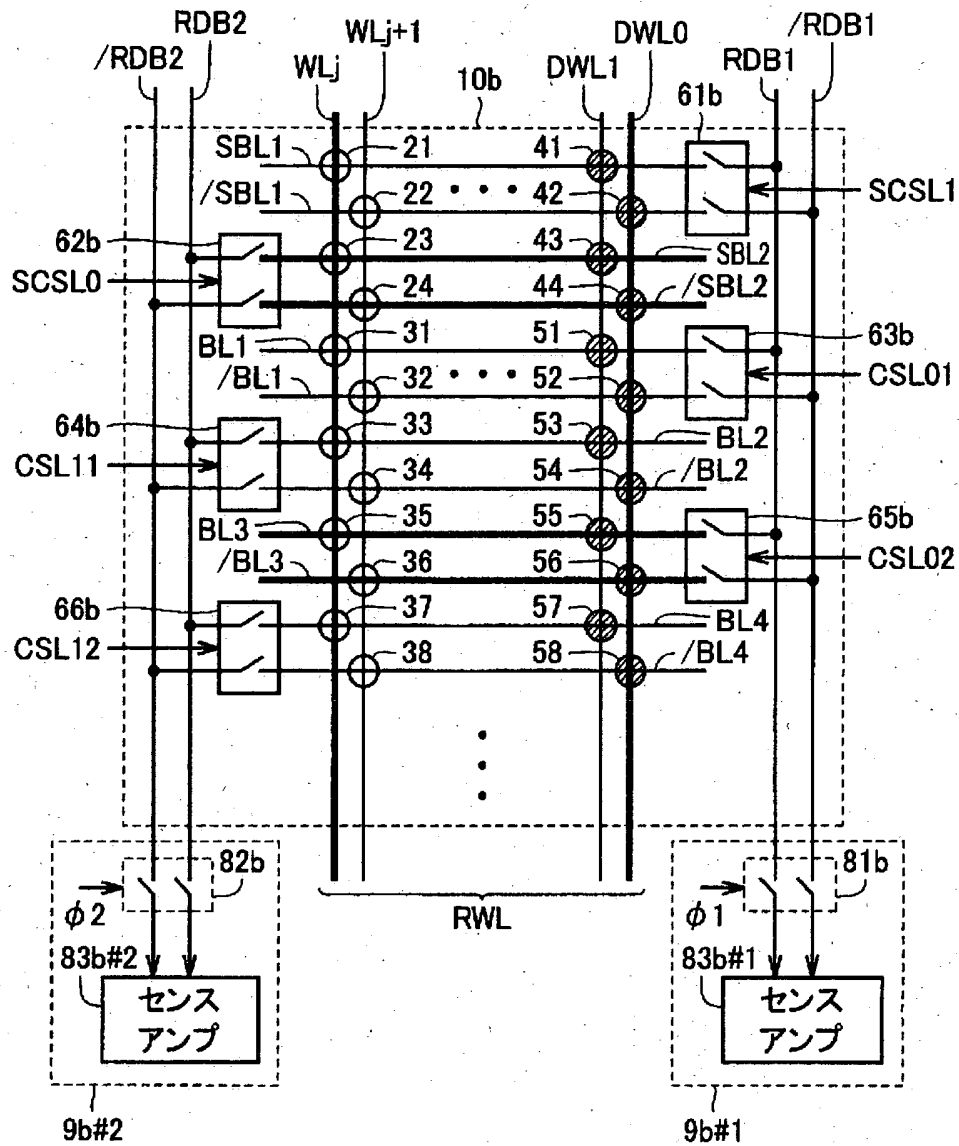
【図9】



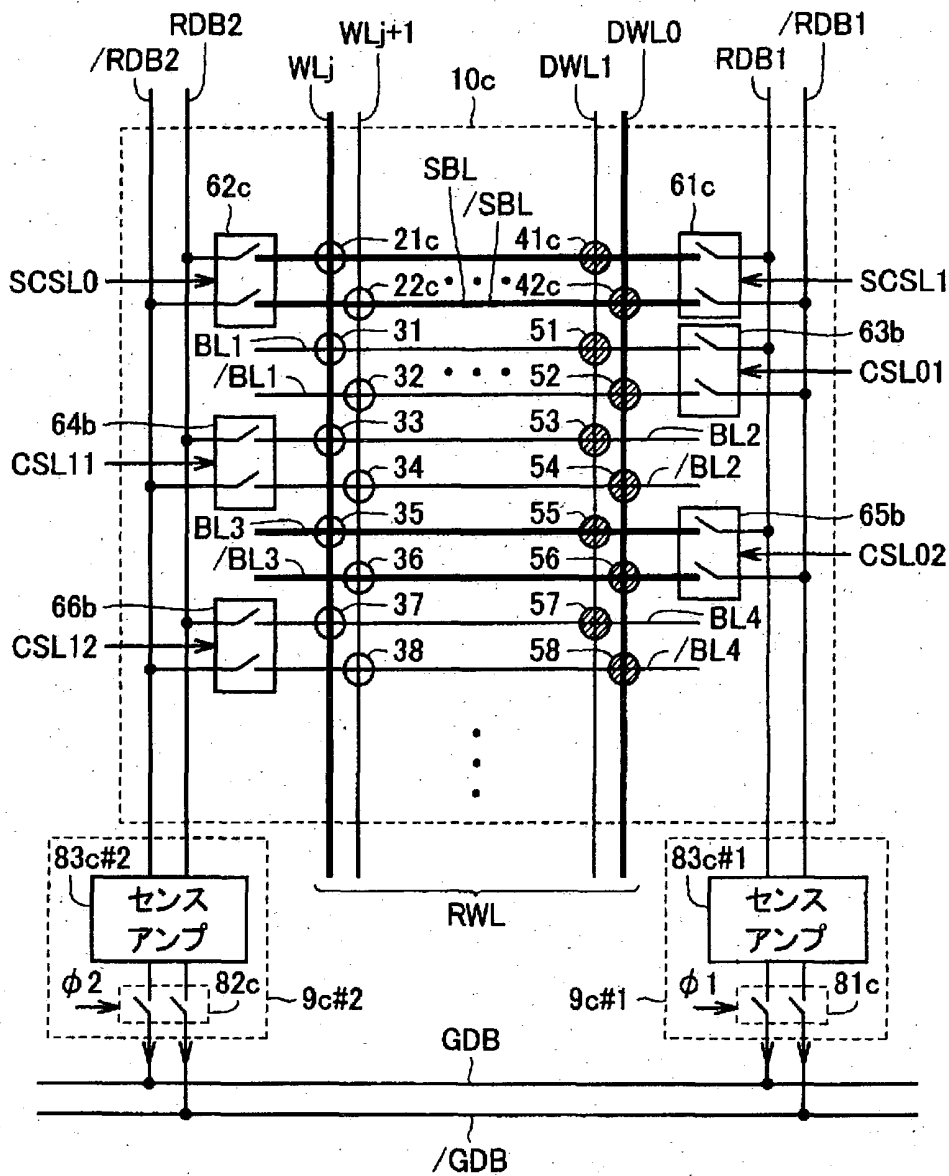
【図10】



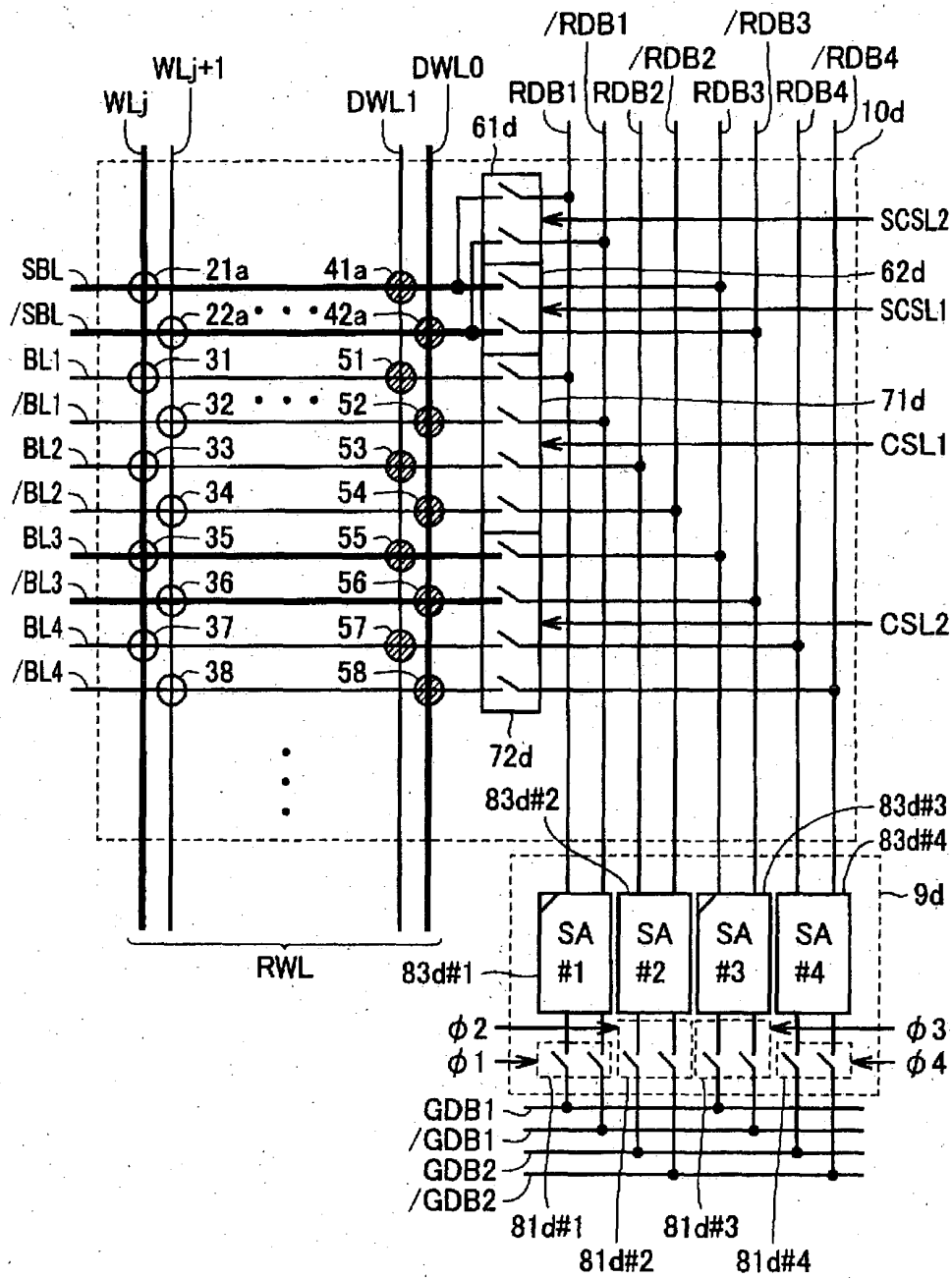
【図 1 1】



【図 12】



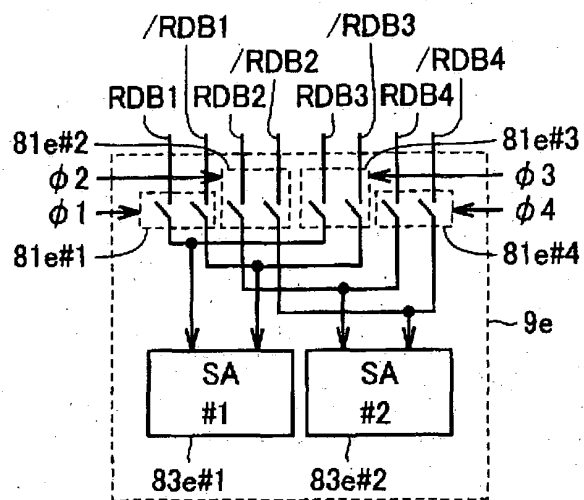
【図13】



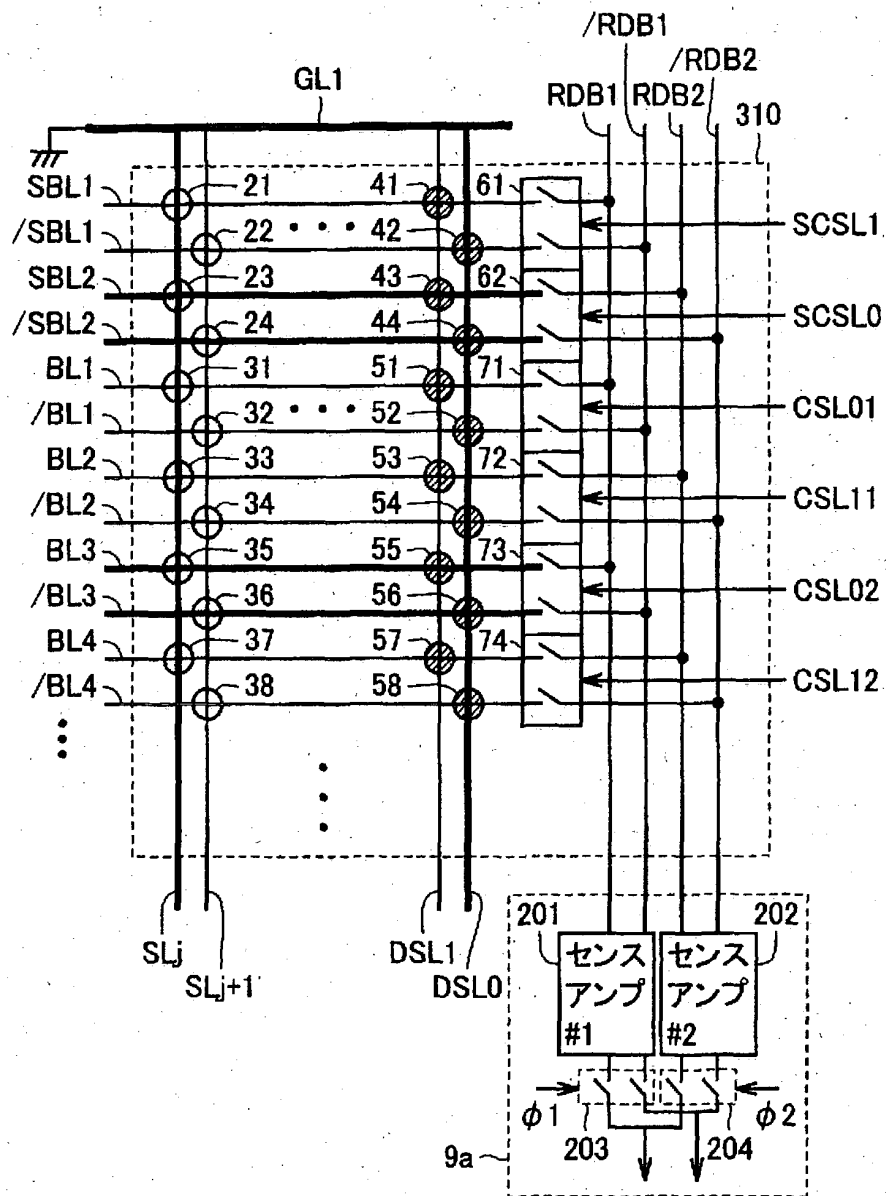
【図14】

選択コラム	使用データベース	選択スペアコラム	使用データベース	スペア／ノーマル
CSL1	RDB1./RDB1 RDB2./RDB2	SCSL1	RDB3./RDB3	$\phi 1+\phi 2$:ノーマル $\phi 3+\phi 2$:スペア
CSL2	RDB3./RDB3 RDB4./RDB4	SCSL2	RDB1./RDB1	$\phi 3+\phi 4$:ノーマル $\phi 1+\phi 4$:スペア

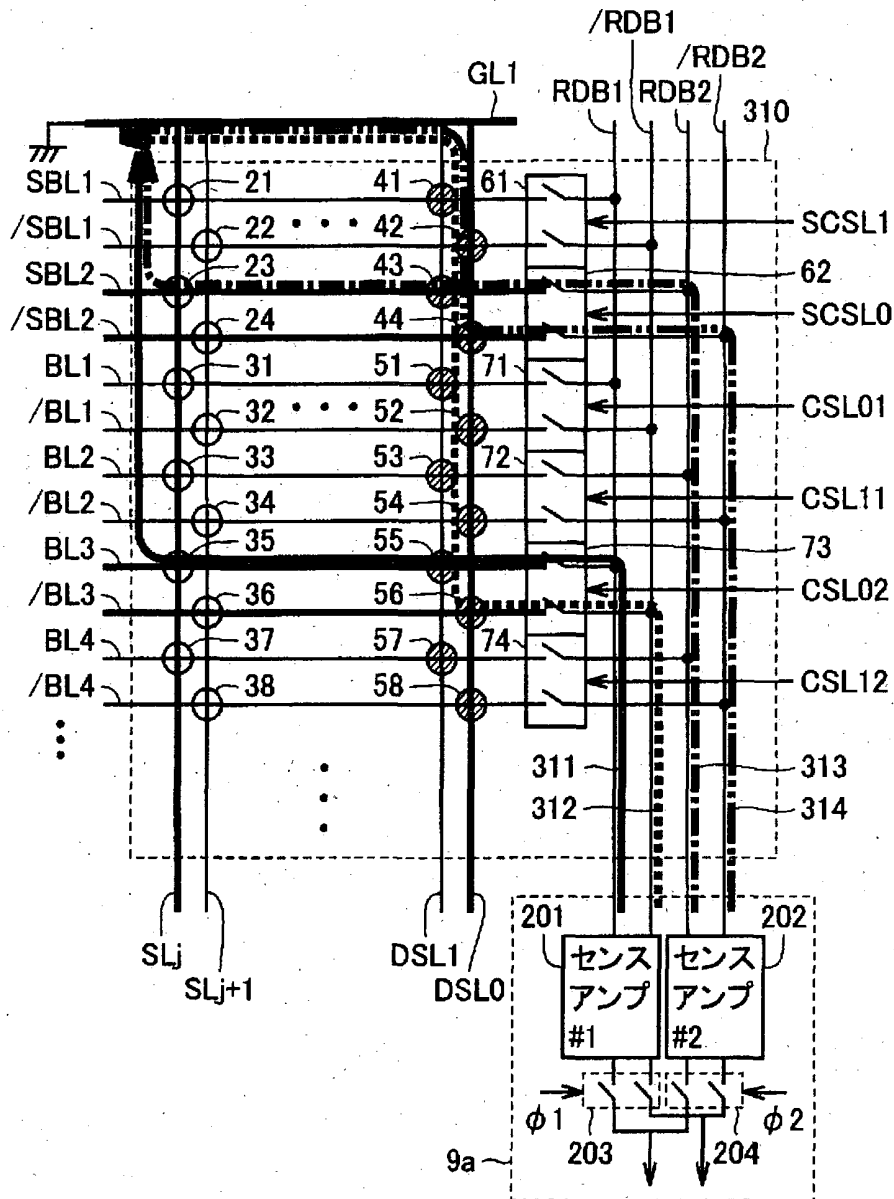
【図15】



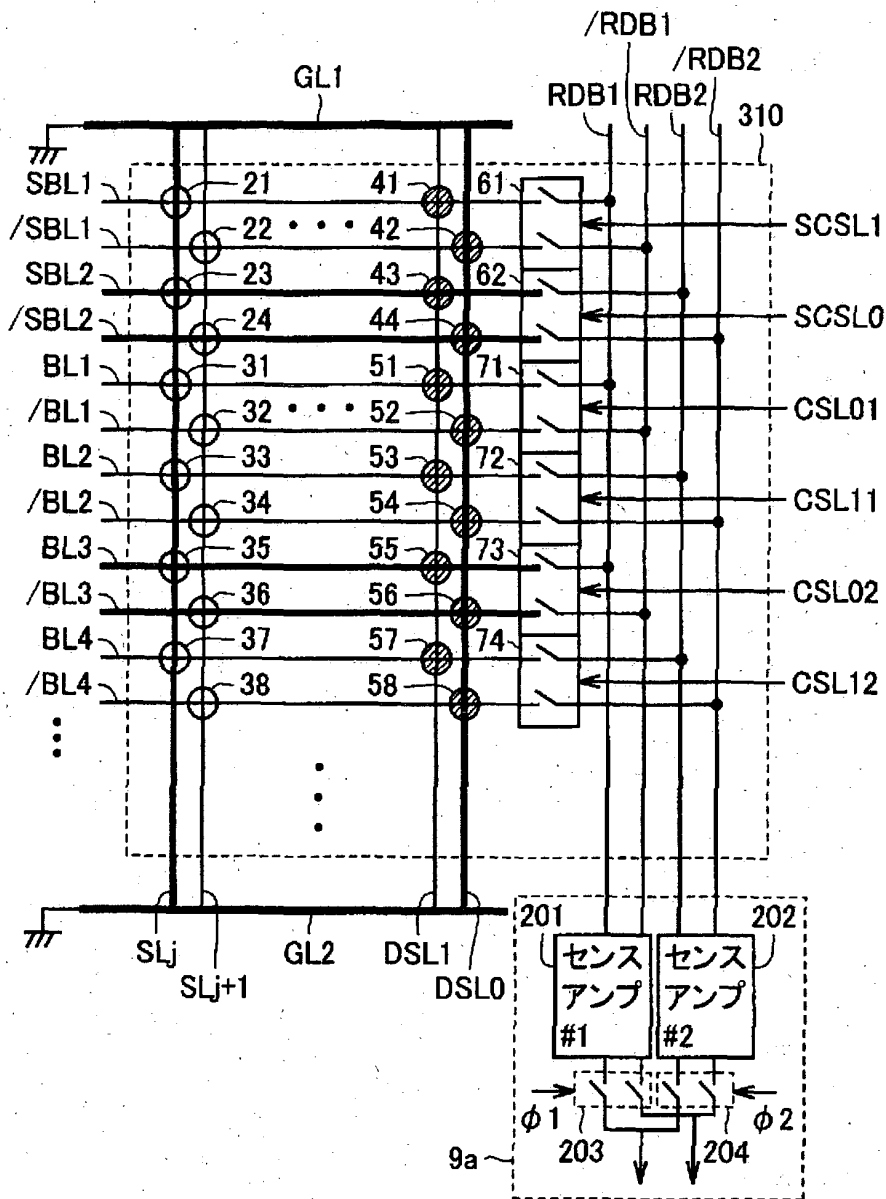
【例 16】



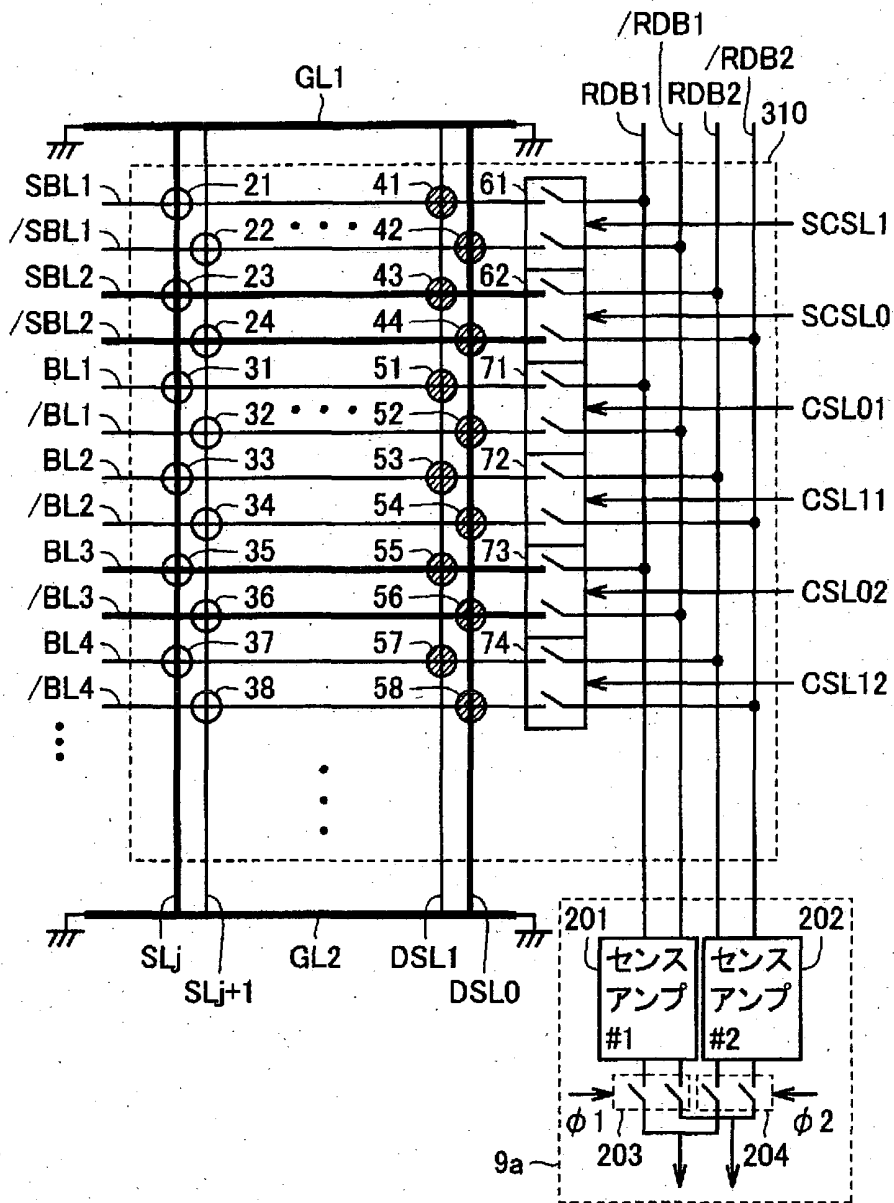
【図17】



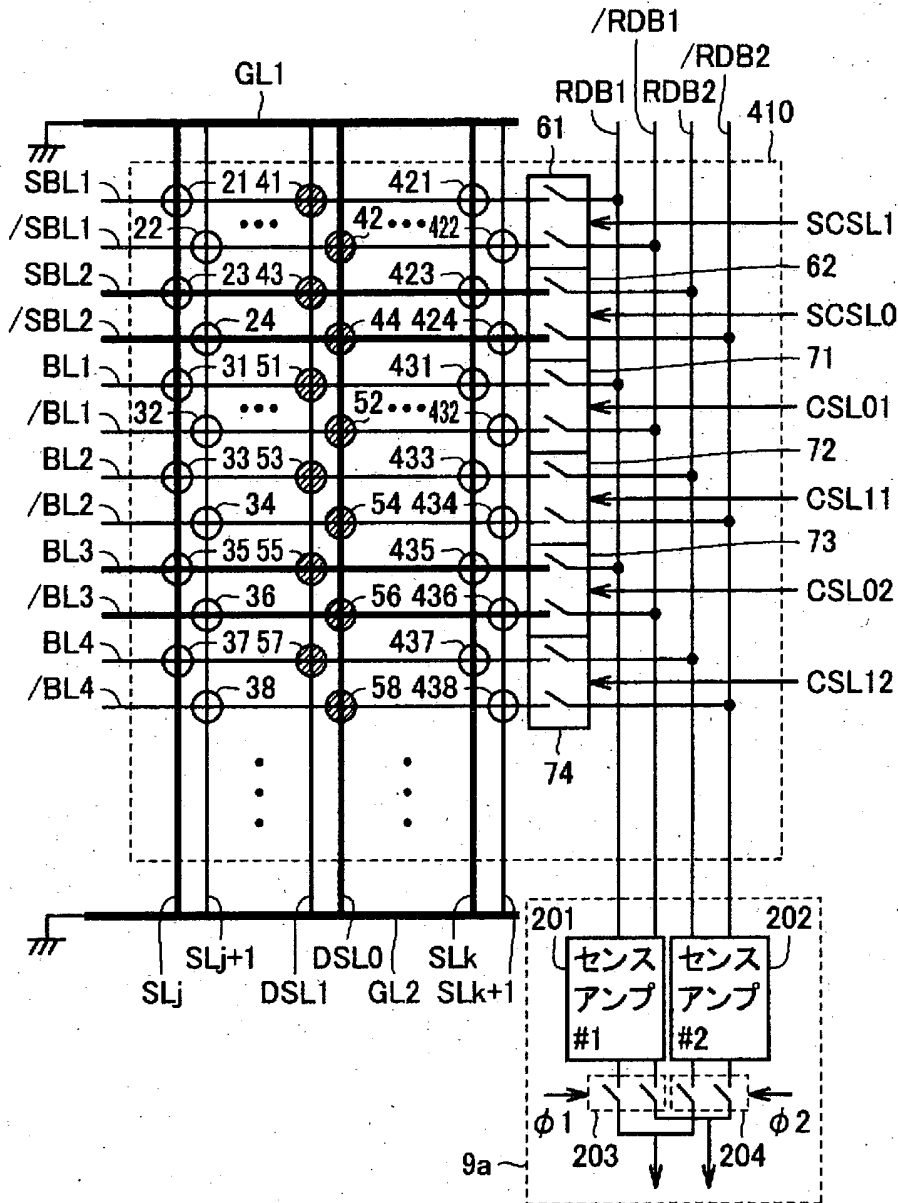
【図18】



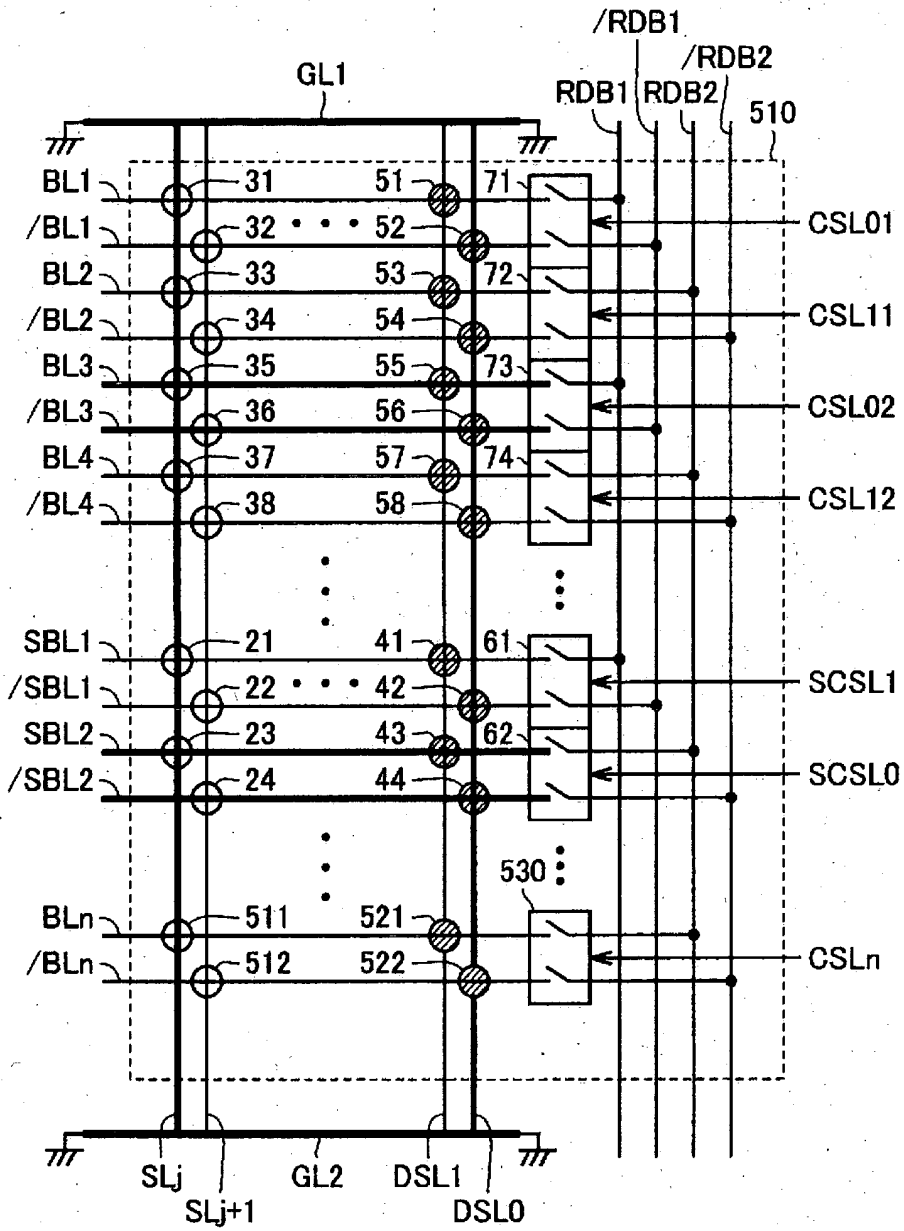
【図19】



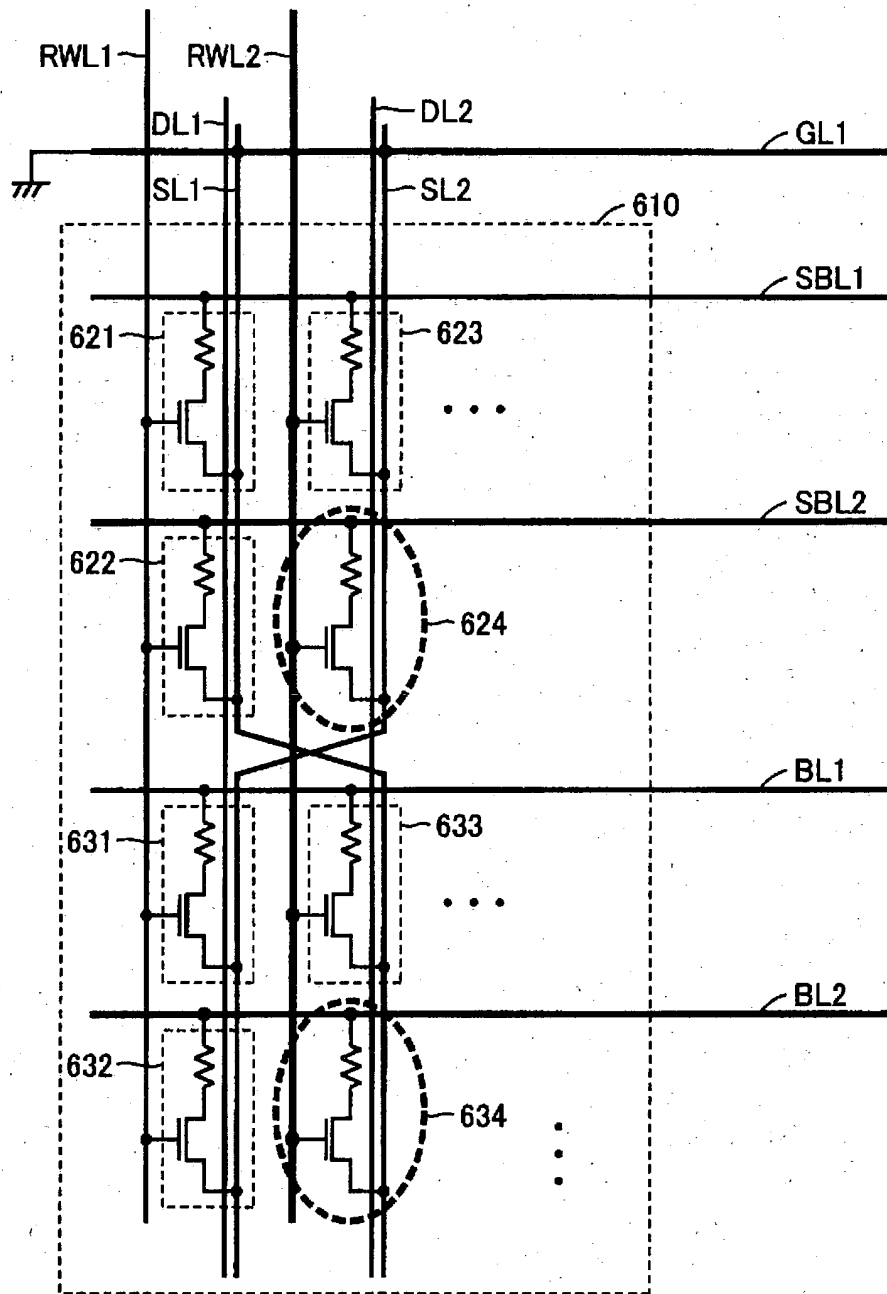
【図20】



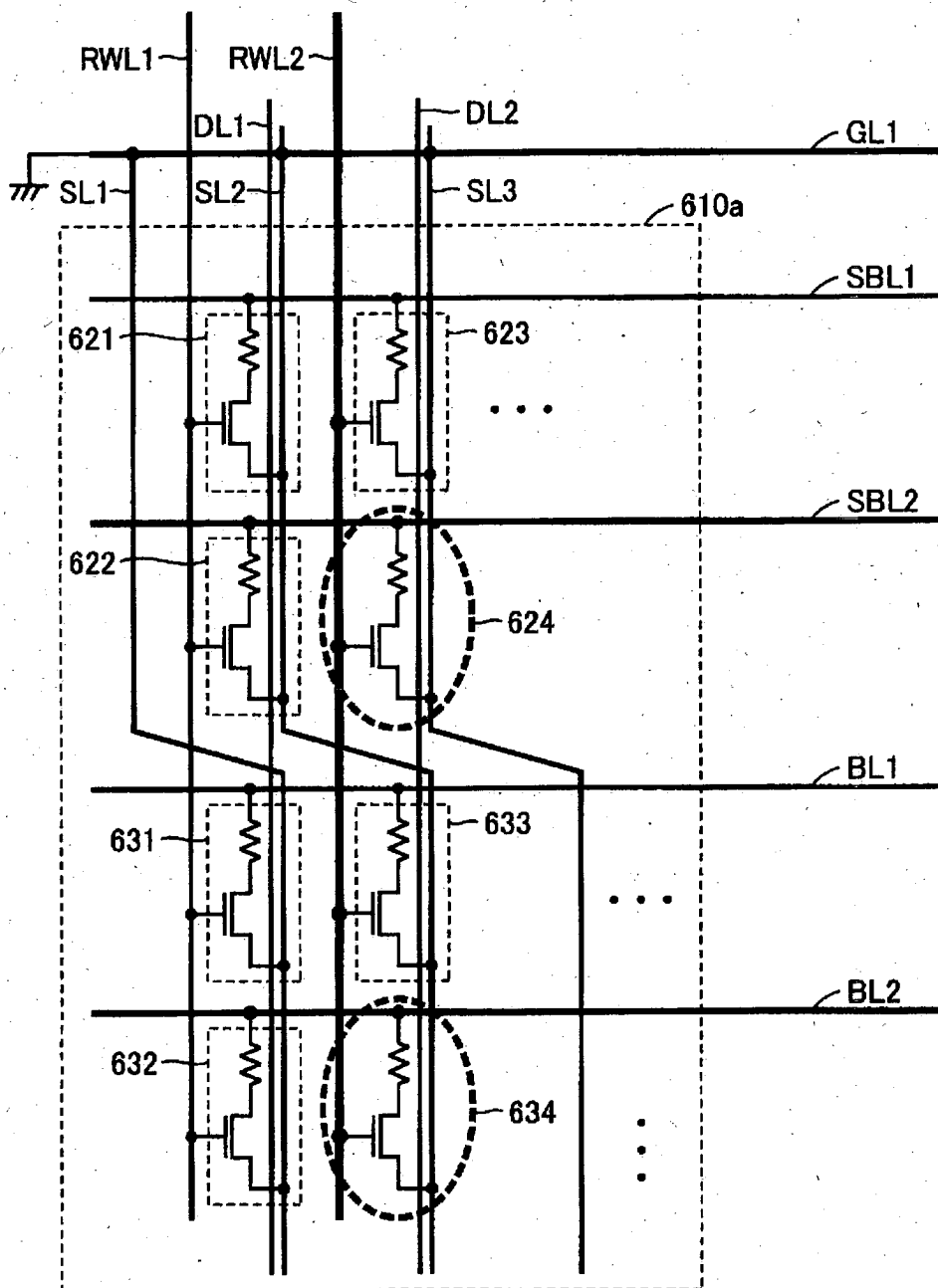
【図21】



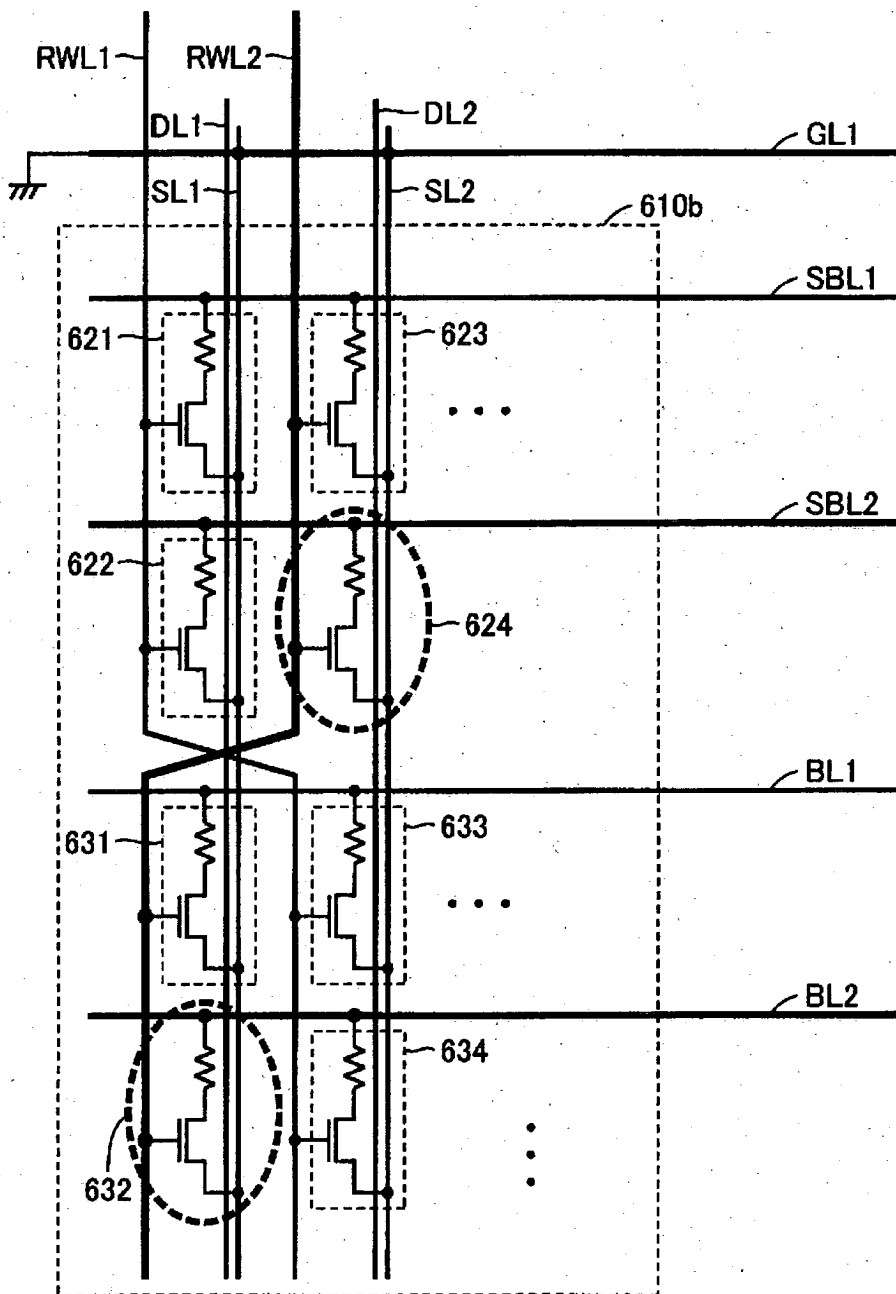
【図 22】



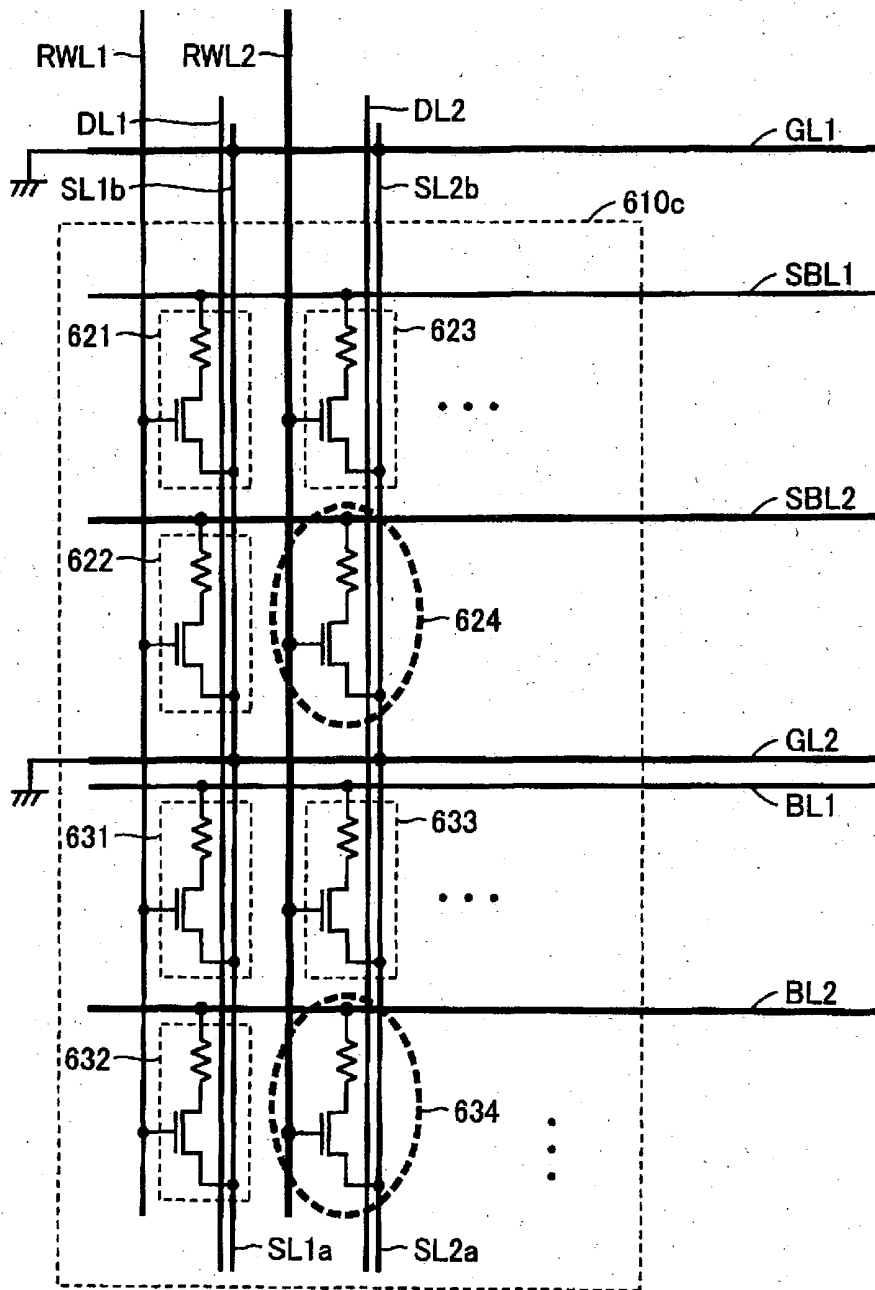
【図 23】



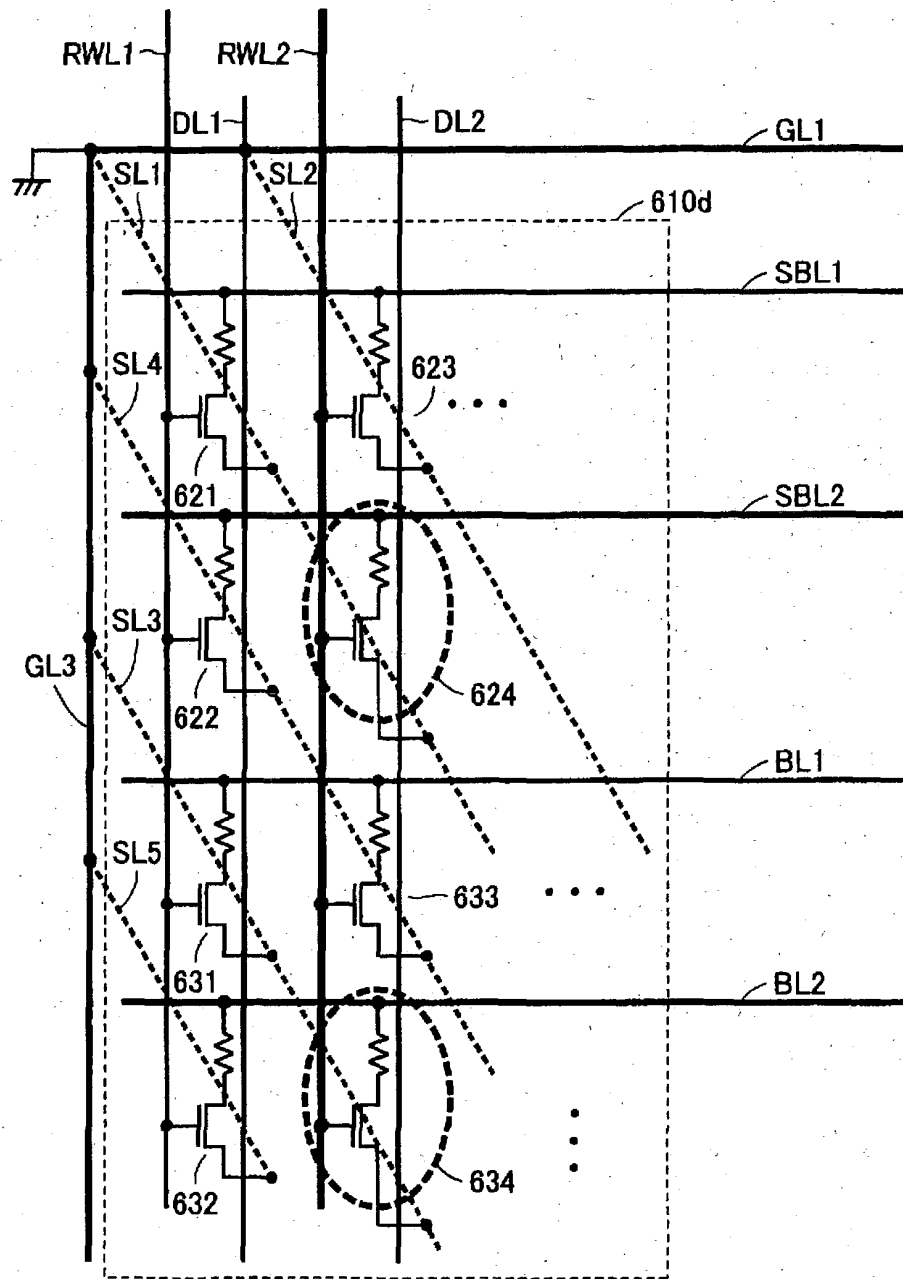
【図 24】



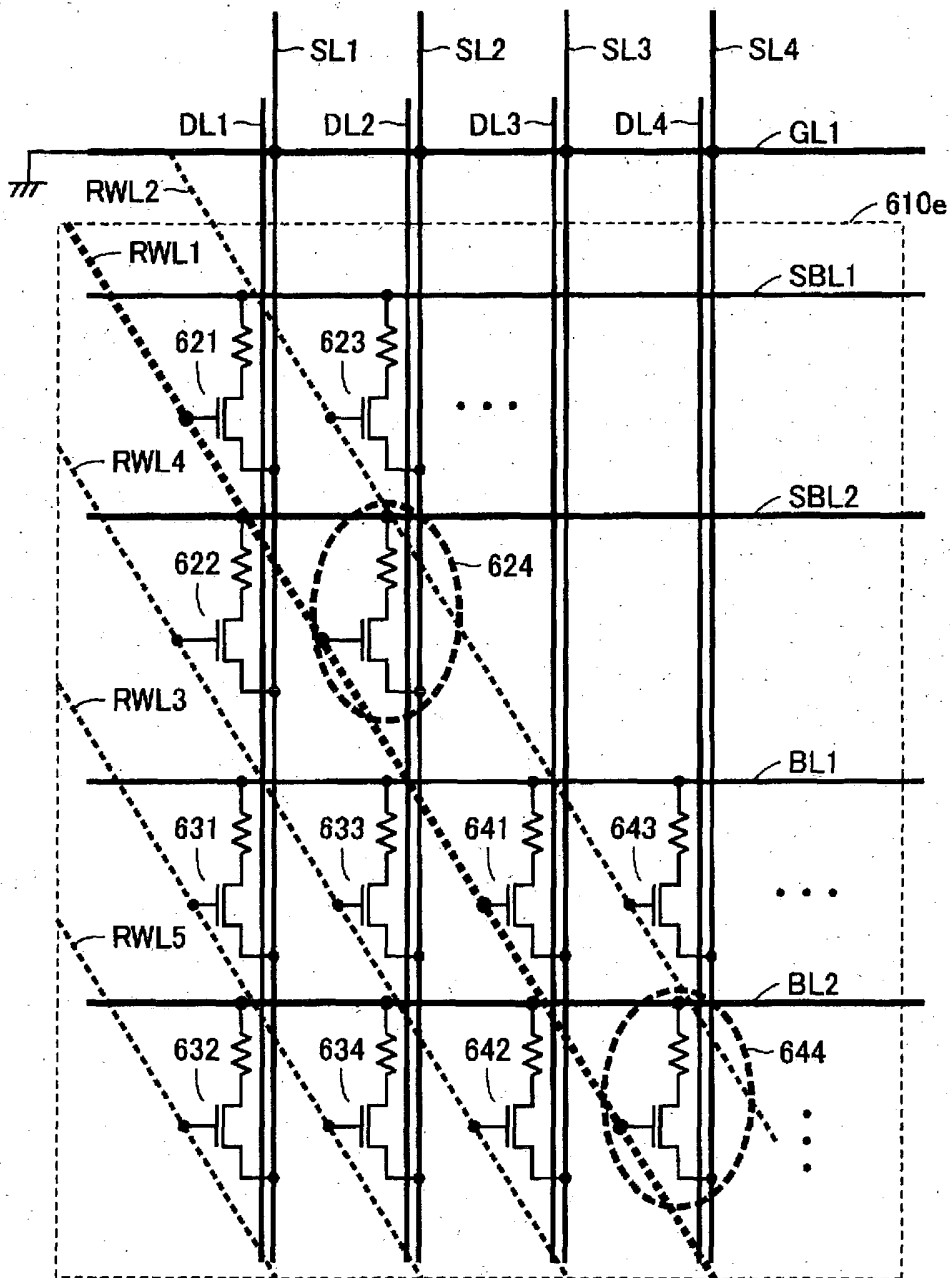
【図 25】



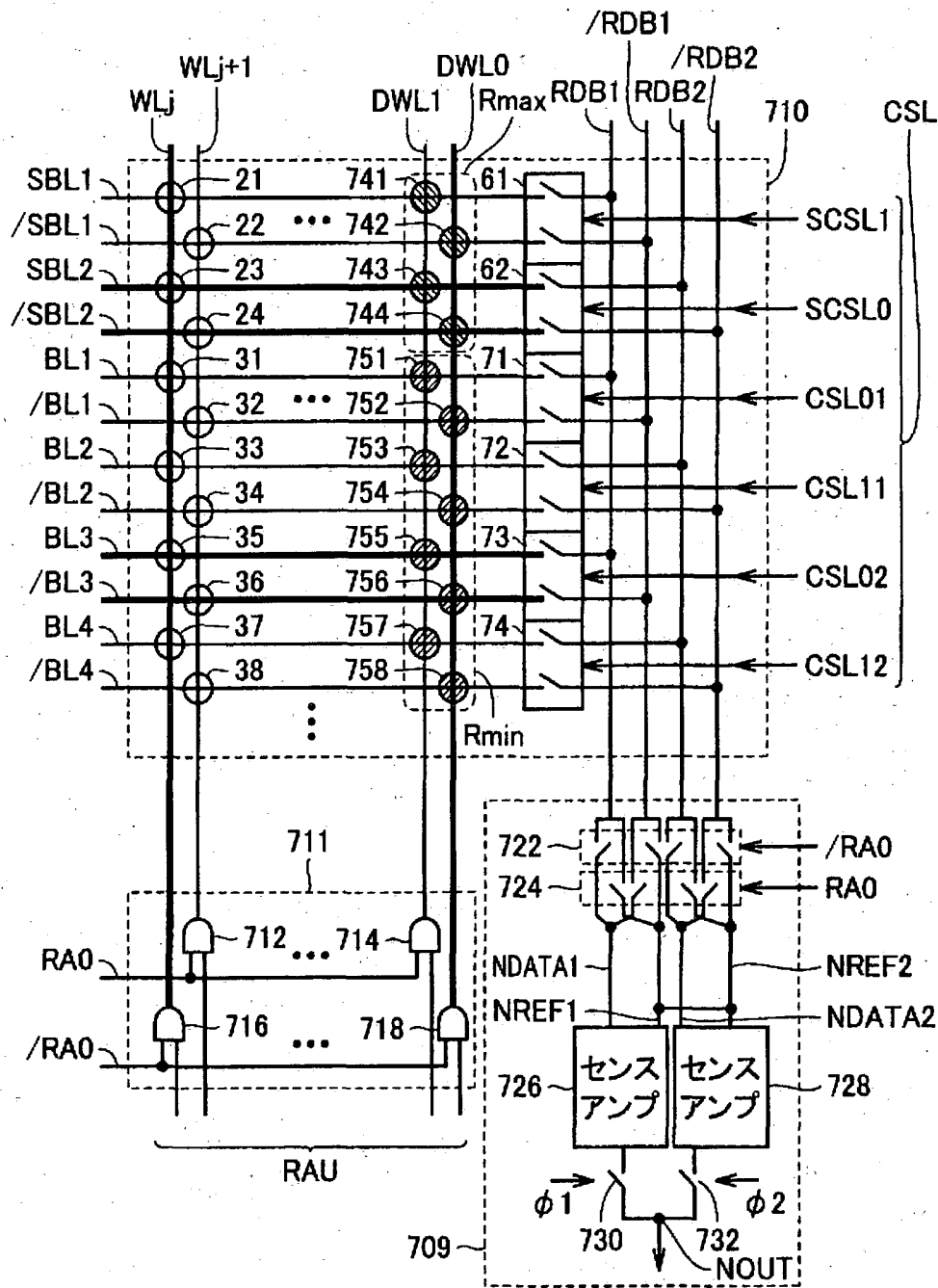
【図 26】



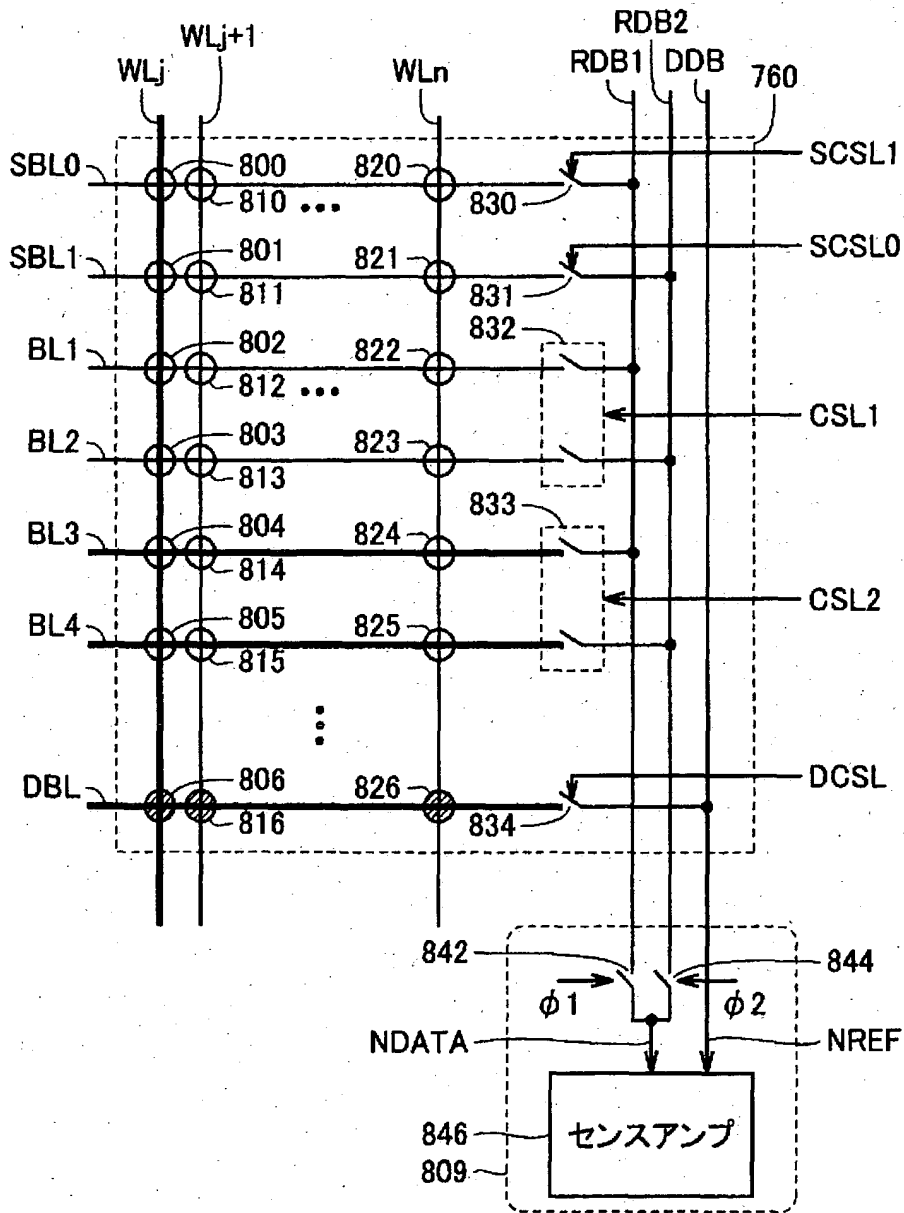
【図 27】



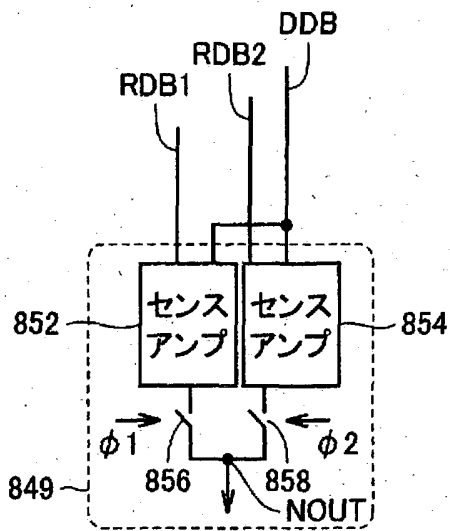
【図28】



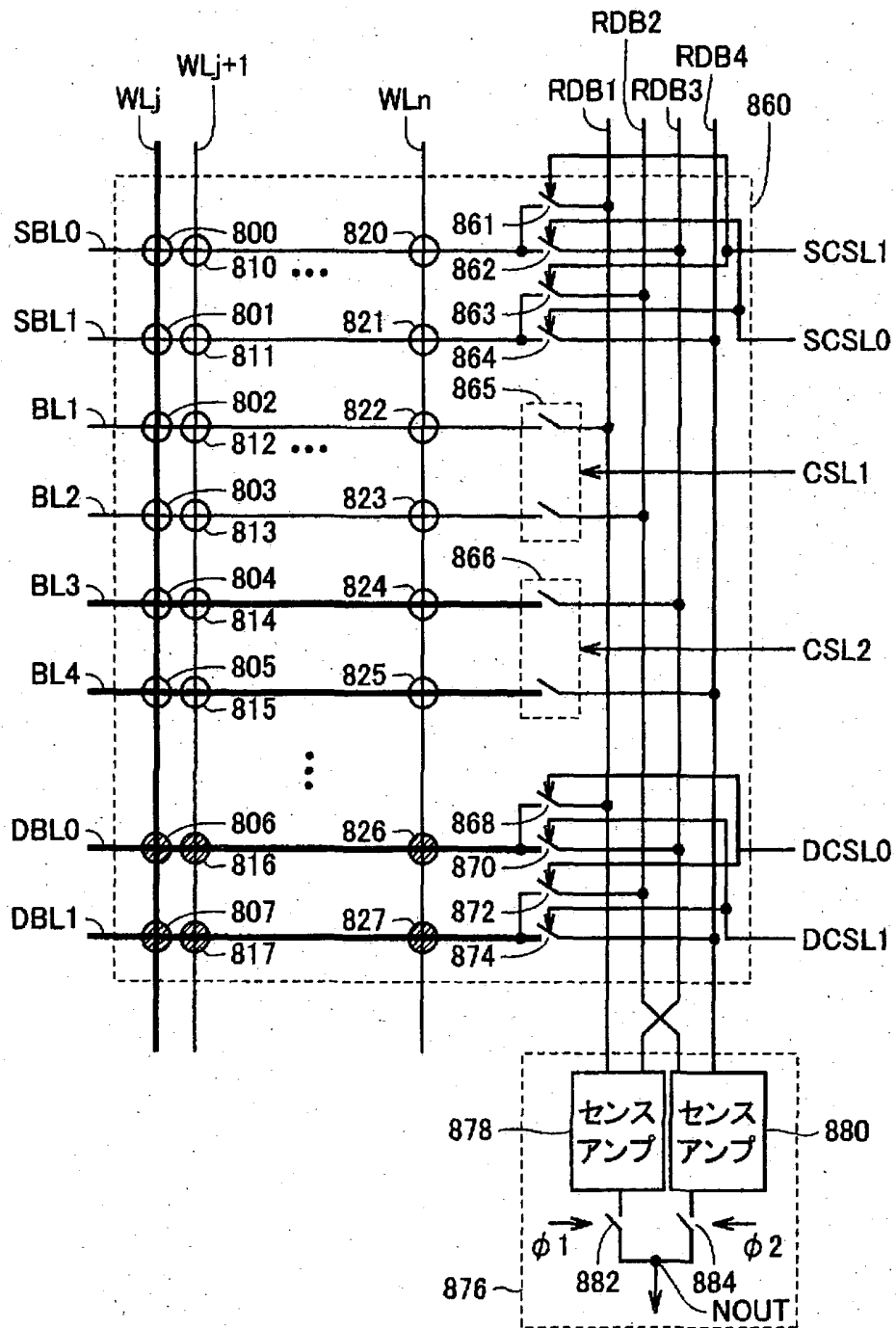
【図31】



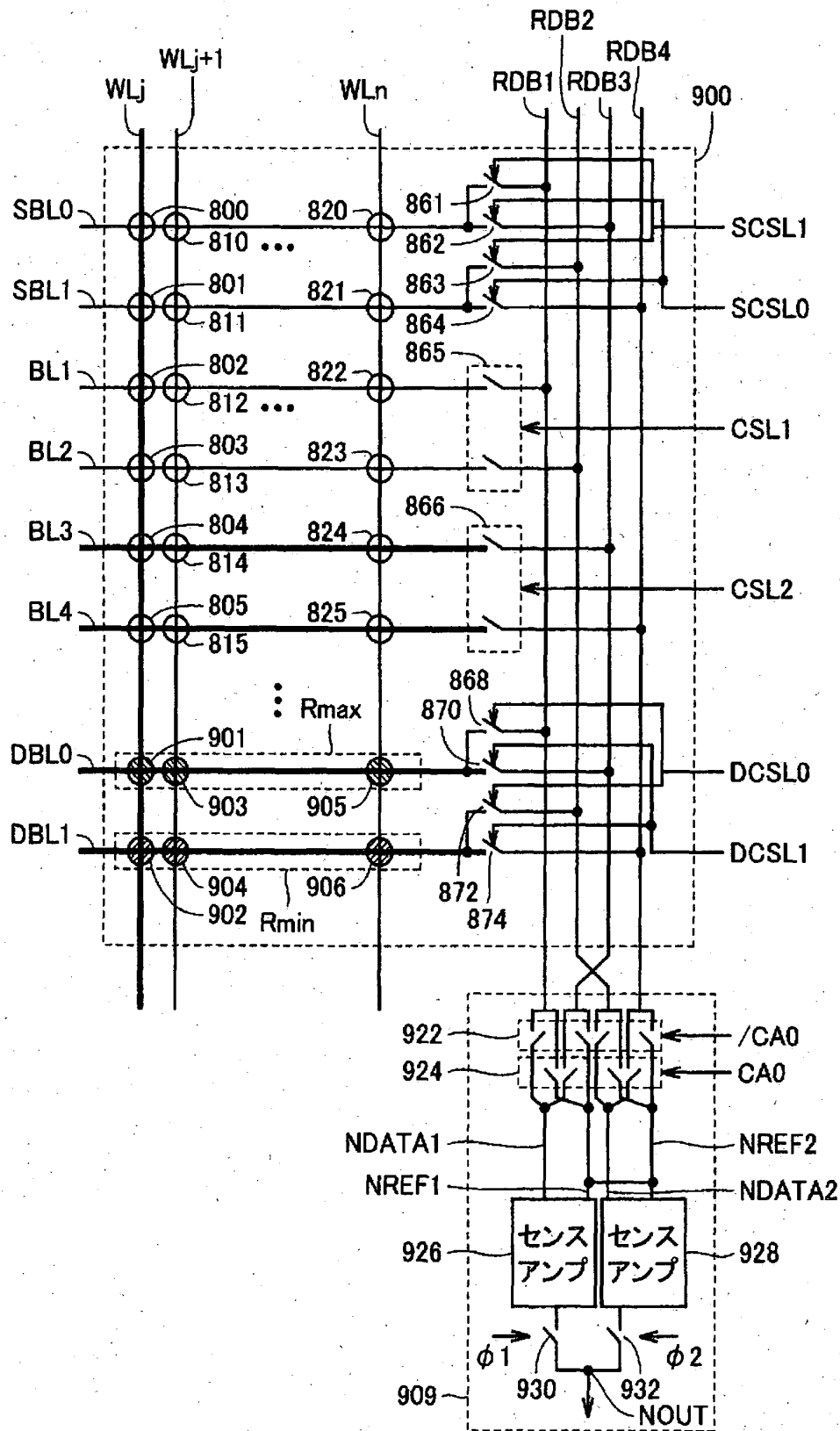
【図32】



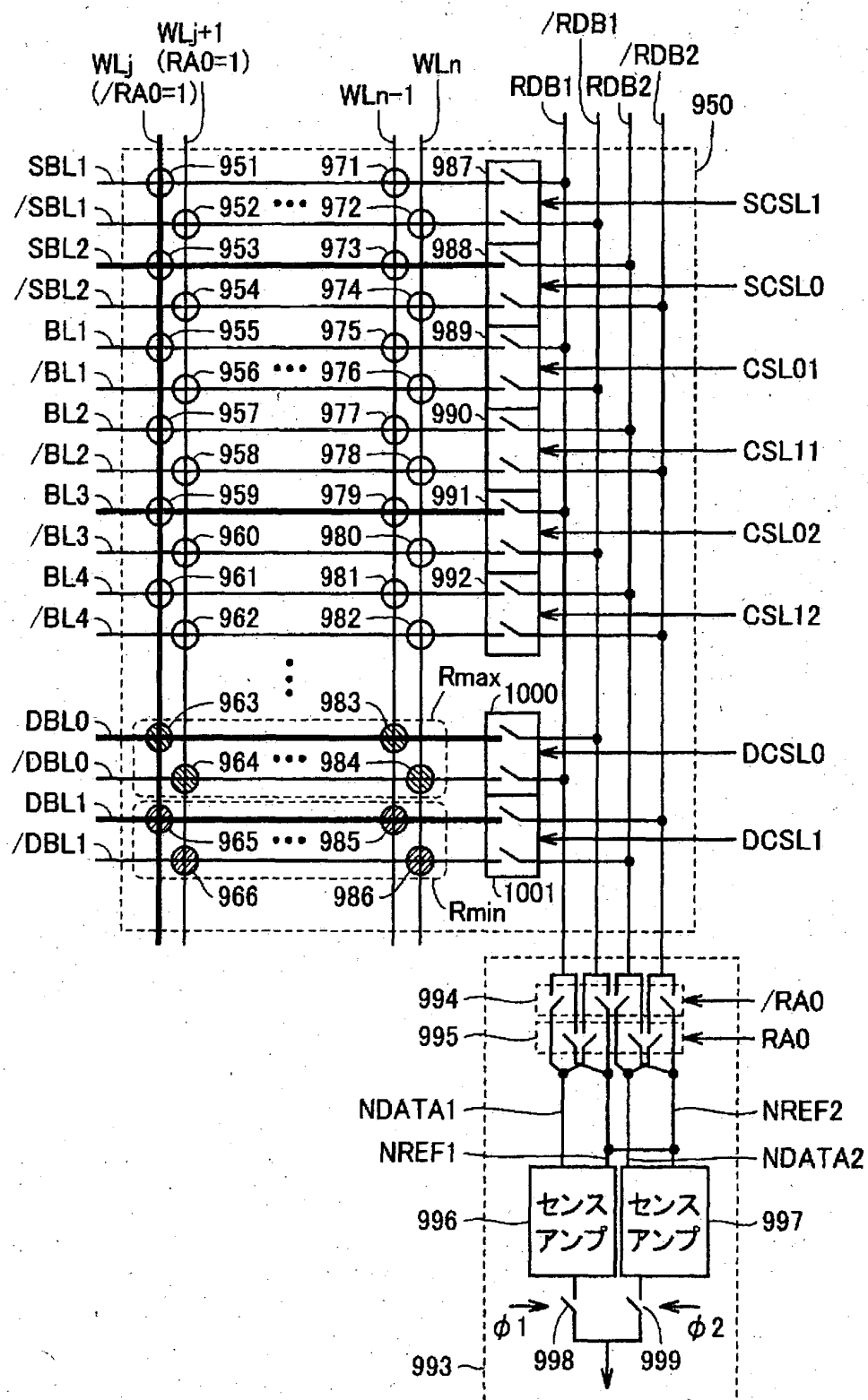
【図 33】



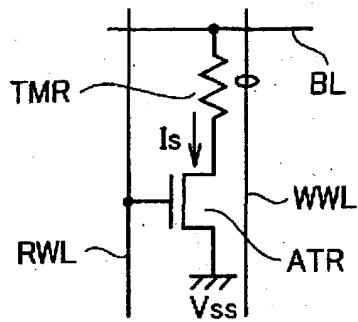
【図34】



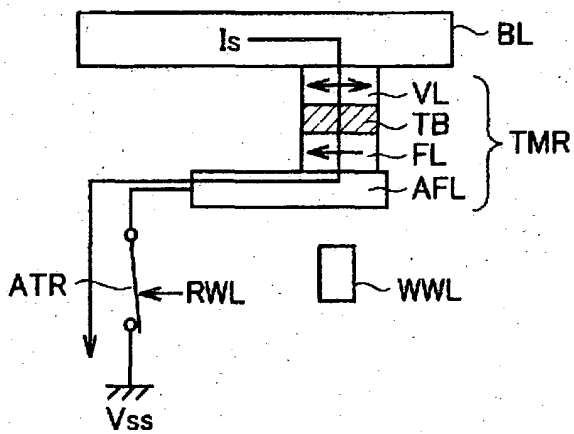
【図 3 5】



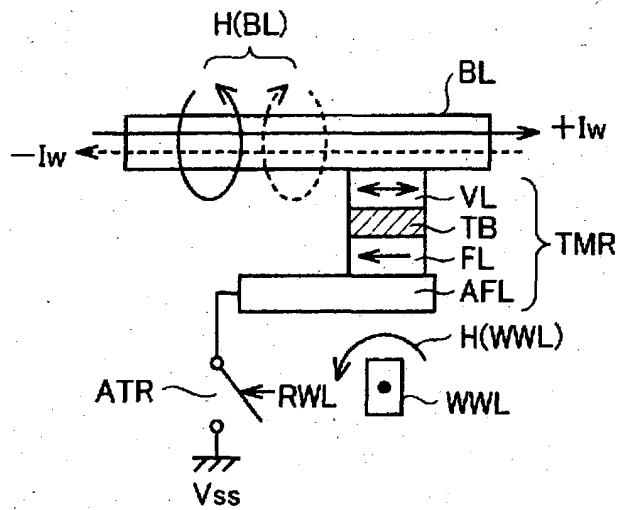
【図36】



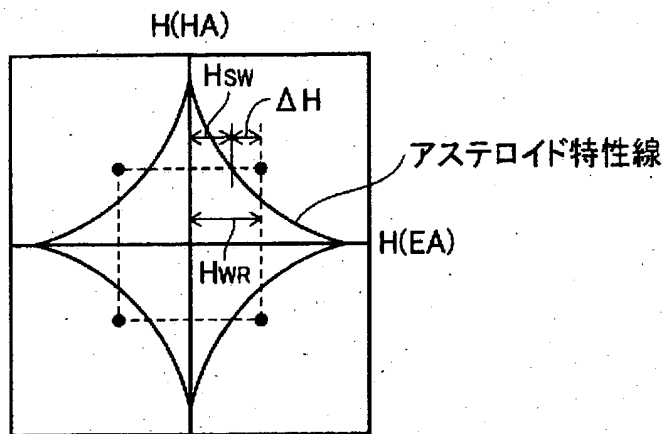
【図37】



【図38】



【図 39】



【書類名】 要約書

【要約】

【課題】 冗長置換を実現しつつ高速に読出が可能な記憶装置を提供する。

【解決手段】 正規のビット線BL3、／BL3の選択が行なわれる場合に同時にスペアビット線SBL2、／SBL2の選択を同時に行ない、これらが異なる読出データバス対に接続されるようにコラム選択ゲートを配置する。コラム選択ゲートは、リードデータバスの負荷容量に大きな差が生じないように分散して配置される。冗長判定結果は、センスアンプ83の直前の制御信号φ1、φ2の活性化により読出データに反映される。なお、センスアンプを2つ設けて、この出力のいずれかを選択するように制御信号φ1、φ2を用いてもよい。

【選択図】 図2

認定・付加情報

特許出願の番号	特願 2003-009955
受付番号	50300072261
書類名	特許願
担当官	第七担当上席 0096
作成日	平成15年 1月22日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000006013
【住所又は居所】	東京都千代田区丸の内二丁目2番3号
【氏名又は名称】	三菱電機株式会社

【代理人】

申請人	
【識別番号】	100064746
【住所又は居所】	大阪府大阪市北区南森町2丁目1番29号 三井 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】	深見 久郎

【選任した代理人】

【識別番号】	100085132
【住所又は居所】	大阪府大阪市北区南森町2丁目1番29号 三井 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】	森田 俊雄

【選任した代理人】

【識別番号】	100083703
【住所又は居所】	大阪府大阪市北区南森町2丁目1番29号 三井 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】	仲村 義平

【選任した代理人】

【識別番号】	100096781
【住所又は居所】	大阪府大阪市北区南森町2丁目1番29号 三井 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】	堀井 豊

【選任した代理人】

【識別番号】	100098316
【住所又は居所】	大阪府大阪市北区南森町2丁目1番29号 三井 住友銀行南森町ビル 深見特許事務所

認定・付加情報（続き）

【氏名又は名称】 野田 久登
【選任した代理人】
【識別番号】 100109162
【住所又は居所】 大阪府大阪市北区南森町2丁目1番29号 三井
住友銀行南森町ビル 深見特許事務所
【氏名又は名称】 酒井 将行

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社